

(19)日本国特許庁 (JP)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3199682号
(P3199682)

(45)発行日 平成13年8月20日(2001.8.20)

(24)登録日 平成13年6月15日(2001.6.15)

(51)Int.Cl.

識別記号

FI

H 0 1 J 31/12
31/15H 0 1 J 31/12
31/15C
D

請求項の数20(全 31 頁)

(21)出願番号	特願平10-70535	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成10年3月19日(1998.3.19)	(72)発明者	宮崎 和也 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(65)公開番号	特開平10-326583	(72)発明者	山野 明彦 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(43)公開日	平成10年12月8日(1998.12.8)	(74)代理人	100065385 弁理士 山下 穰平
審査請求日	平成11年6月22日(1999.6.22)	審査官	渡戸 正義
(31)優先権主張番号	特願平9-68174	(56)参考文献	特開 平8-236047 (JP, A) 特開 平8-180821 (JP, A) 特開 平9-7532 (JP, A)
(32)優先日	平成9年3月21日(1997.3.21)		
(33)優先権主張国	日本 (JP)		

最終頁に続く

(54)【発明の名称】 電子放出装置及びそれを用いた画像形成装置

1

(57)【特許請求の範囲】

【請求項1】 複数の電子放出素子がX方向およびY方向に行列状に配置された基板と、該基板に対向配置された電極と、該電極に前記電子放出素子が放出した電子を加速する電圧を供給する加速電圧印加手段を有する電子放出装置において、

前記複数の電子放出素子は、走査信号が印加される前記X方向の配線と、変調信号が印加される前記Y方向の配線とに接続され、線順次駆動されるものであり、前記電極は複数に、そして前記X方向と非平行に分割されており、前記分割された各電極はそれぞれ抵抗体を介して前記加速電圧印加手段に接続されており、前記各電極には定電圧が印加されることを特徴とする電子放出装置。

【請求項2】 複数の電子放出素子がX方向およびY方

2

向に行列状に配置された基板と、該基板に対向配置された電極と、該電極に前記電子放出素子が放出した電子を加速する電圧を供給する電源を有する電子放出装置において、

前記複数の電子放出素子は、走査信号が印加される前記X方向の配線と、変調信号が印加される前記Y方向の配線とに接続され、線順次駆動されるものであり、前記電極は複数に、そして前記X方向と非平行に分割されており、前記分割された各電極はそれぞれ抵抗体を介して前記電源に接続されており、前記各電極には定電圧が印加されることを特徴とする電子放出装置。

【請求項3】 前記電極は、前記電子放出素子が配置された基板を第1の基板とした時、該第1の基板に対向して設けられる第2の基板に設けられており、この電子放出装置は、前記第1の基板と第2の基板の間隔を保持す

10

る支持部材を有している請求項1もしくは2に記載の電子放出装置。

【請求項4】 前記支持部材は、前記第1の基板と第2の基板の間で電流を流すことができるものである請求項3に記載の電子放出装置。

【請求項5】 前記支持部材は、導電性を有しており、前記分割された複数の電極のうちの、1つ以下の電極に電氣的に接続される請求項3に記載の電子放出装置。

【請求項6】 前記支持部材は、第1の導電性を有する第1の部材と、第2の導電性を有しており前記電極と前記第1の部材とを電氣的に接続する第2の部材とを有しており、前記分割された複数の電極のうちの、1つ以下の電極に電氣的に接続される請求項3に記載の電子放出装置。

【請求項7】 前記支持部材は、前記分割された電極の内の2つ以上の電極にまたがって配置されており、前記支持部材は、第1の導電性を有する第1の部材と、第2の導電性を有しており前記電極と前記第1の部材とを電氣的に接続する第2の部材とを有しており、前記2つ以上の電極のそれぞれと電氣的に接続される前記第2の部材それぞれは離間して設けられており、第2の導電性は第1の導電性よりも高い請求項3に記載の電子放出装置。

【請求項8】 前記支持部材は、前記分割された電極の内の2つ以上の電極にまたがって配置されており、前記支持部材は、第1の導電性を有する第1の部材と、第2の導電性を有しており前記電極と前記第1の部材とを電氣的に接続する第2の部材とを有しており、前記2つ以上の電極の内の一部と前記第2の部材は電氣的に接続され、前記2つ以上の電極のうちの残りとは前記第2の部材は電氣的に絶縁されており、第2の導電性は第1の導電性よりも高い請求項3に記載の電子放出装置。

【請求項9】 前記分割された電極と、前記抵抗体とは概略同一面内に設けられる請求項1乃至8のいずれかに記載の電子放出装置。

【請求項10】 前記分割された電極は、前記抵抗体の上に重ねて設けられる請求項1乃至8のいずれかに記載の電子放出装置。

【請求項11】 前記抵抗体の抵抗値は、10kΩから1GΩの間である請求項1乃至10のいずれかに記載の電子放出装置。

【請求項12】 前記抵抗体の抵抗値は、10kΩから4MΩの間である請求項1乃至10のいずれかに記載の電子放出装置。

【請求項13】 前記電子放出素子は複数設けられており、前記抵抗体の抵抗値をR、各電子放出素子の放出電流値をIe、前記電極により印加される加速電圧をV、分割された一つの電極に向けて電子を放出する電子放出素子の数をnとした時、

$$R \leq 0.004 \times V / (n \times I_e)$$

を満たす請求項1乃至12のいずれかに記載の電子放出装置。

【請求項14】 前記電子放出素子は、表面伝導型放出素子である請求項1乃至13のいずれかに記載の電子放出装置。

【請求項15】 請求項1乃至14のいずれかに記載の電子放出装置と、画像形成部材を有する画像形成装置であって、

前記電子放出素子が放出した電子により前記画像形成部材に画像を形成することを特徴とする画像形成装置。

【請求項16】 前記画像形成部材は電子の照射により発光する発光体である請求項15に記載の画像形成装置。

【請求項17】 前記画像形成部材は電子の照射により発光する蛍光体である請求項15もしくは16に記載の画像形成装置。

【請求項18】 前記画像形成部材は、前記分割されている電極が設けられている基板に設けられる請求項15乃至17のいずれかに記載の画像形成装置。

【請求項19】 前記分割された電極は、横と縦の比率が4:3の比を有する電極を含む請求項15乃至18のいずれかに記載の画像形成装置。

【請求項20】 前記分割された電極は、全体の横と縦の比率が16:9である請求項15乃至19のいずれかに記載の画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願に係わる発明は、電子放出に係わる電子放出装置に関する。また特に電子により画像を形成する画像形成装置に関する。

【0002】

【従来の技術】 従来、電子放出素子を利用した電子放出装置の利用形態としては、画像形成装置が挙げられ、例えば、冷陰極電子放出素子を多数形成した電子源基板と、電子放出素子から放出された電子を加速するメタルバックあるいは透明電極、及び蛍光体を具備した陽極基板とを平行に対向させ、真空中に排気した平面型の電子線表示パネルが知られている。このような画像形成装置において、電界放出型電子放出素子を用いたものは、例えば、I. Brodie, "Advanced technology: flat cold-cathode CRTs", Information Display, 1/89, 17 (1989)に開示されたものがある。また、表面伝導型電子放出素子を用いたものは、例えば、米国特許第5066883号等を開示されている。平面型の電子線表示パネルは、現在広く用いられている陰極線管(cathode ray tube: CRT)表示装置に比べ、軽量化、大画面化を図ることができ、また、液晶を利用した平面型表示パネルやプラズマ・ディスプレイ、エレクトロルミネッセント・ディス

プレイ等の他の平面型表示パネルに比べて、より高輝度、高品質な画像を提供することができる。

【0003】図17に電子放出素子を利用した画像形成装置の一例として、電子線表示パネルの概略構成図を示す。このパネルの構成について詳述すると、図中、31は電子源基板であるリアプレート、46は陽極（アノード）基板であるフェースプレート、42は外枠、41はリアプレートの基板であるガラス基板、これらにより真空外囲器47を構成している。34は電子放出素子である。32（走査電極）及び33（信号電極）は配線電極であり、それぞれ、素子電極に接続されている。46はフェースプレートの基板であるガラス基板、44は透明電極（アノード）、45は蛍光体（蛍光膜）である。

【0004】この表示パネルにおいて画像を形成するには、マトリックス状に配置された走査電極32と信号電極33に所定の電圧を順次印加することで、マトリックスの交点に位置する所定の電子放出素子34を選択的に駆動し、放出された電子を蛍光体45に照射して所定の位置に輝点を得る。なお、透明電極44は、放出電子を加速してより高い輝度の輝点を得るために、素子34に対して高電位となるように高電圧 H_v が印加される。ここで、印加される電圧は、蛍光体の性能にもよるが、数百Vから数十kV程度の電圧である。従って、リアプレート31とフェースプレート46間の距離 d は、この印加電圧によって真空の絶縁破壊（すなわち放電）が生じないようにするため、百 μm から数mm程度に設定されるのが一般的である。

【0005】尚、ここでは透明電極を用いた例を説明したが、ガラス基板46上に蛍光体45を形成し、さらにその上にアルミ等からなるメタルバックを前述の高電圧を印加して電子を加速するための電極としてもちいる場合も有る。

【0006】図18は蛍光膜を示す模式図である。蛍光膜はモノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は蛍光体の配列によりブラックストライプ（図18（a））あるいはブラックマトリクス（図18（b））などと呼ばれる黒色部材91と蛍光体92とから構成することが出来る。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗りわけ部を黒くすることで混色等を目立たなくすることと、外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他光の透過及び反射が少ない材料であれば、これを用いることが出来る。

【0007】ガラス基板に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈殿法、印刷法等が採用できる。メタルバックを用いる目的は、蛍光体の発光のうち内面側への光をフェースプレート47側へ鏡面反射

させることにより輝度を向上させること、電子ビームの加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、「フィリミング」と呼ばれる）を行ないその後A1等を用いて堆積させることで作製できる。

【0008】フェースプレート47には、さらに蛍光膜45の導電性を高めるため、蛍光膜45の外側（ガラス基板46側）に透明電極（不図示）を設けてもよい。

【0009】カラーの場合には各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが求められる。

【0010】また、上記のような電子線を用いた平面型の画像形成装置の場合、表示面積を大きくしていった場合には、容器の内部の真空と外部の大気圧との差に対する容器の支持のための構造部材が必要な場合がある。

【0011】この様な部材を設けた場合にはスペーサ近傍電子源から放出された電子あるいはフェースプレートで反射された電子の一部がスペーサに衝突する、あるいは放出した電子によりイオン化した正イオンがスペーサに付着することによりスペーサが帯電する場合がある。スペーサの帯電が強い時には、電子源から放出された電子はその軌道を曲げられ、蛍光体上の正規な位置とは異なる位置に到達し、表示画像を全面から見た時、スペーサ近傍の画像が歪んだり明暗差をとまって表示されてしまう。

【0012】この問題を解決するためにスペーサに微小電流が流れる様にして帯電を除去する提案（特開昭57-118355号公報、特開昭61-124031号公報）がなされている。そこで絶縁性のスペーサの表面に高抵抗膜を形成することによりスペーサに微小電流が流れる様にすることで帯電を防いでいる。

【0013】

【発明が解決しようとする課題】このように冷陰極マルチ電子源電子を加速するための前述のメタルバックや透明電極等との対向陽電極間に高電圧を印加するタイプの画像形成装置においては、発光輝度を最大限得るために高電圧を印加するのが有利である。素子の種類によって放出される電子線は対向電極に到達するまでに発散するので、高解像度のディスプレイを実現しようとすると、両極間距離が短いのが好ましい。

【0014】しかし必然的に対向する電極間が高電界となるため放電により電子源素子34が破壊される現象、あるいは蛍光体の一部に集中して電流が流れるため表示画面の一部が光る現象などが生じる場合がある。

【0015】このような問題の解決のためには放電頻度を減らすか放電破壊が生じにくくする必要がある。

【0016】放電破壊の原因としては短時間に1点に集中して大電流が流入し発熱により素子を破壊したり、電

子放出素子にかかる電圧が一瞬上昇することにより素子を破壊したりすることにあると考えられる。

【0017】放電破壊の原因となる電流を減らす手段としては図19に示すように制限抵抗を直列に挿入する方法が考えられるが、例えば、縦500素子×横1000素子がマトリクス配線で線順次で駆動され、同時におよそ1000程度の素子がON状態となる本デバイスにこの方法を採用すると次のような新たな問題が生じる。

【0018】いま1000程度の素子がON状態となる1素子あたりの放出電流を5 μ Aと仮定すると、画像により0～5mAの陽極流入電流変動が生じているので、1M Ω の直列抵抗を陽極に外付けで挿入する図19の例では電圧降下が0～5kVとなり10kVの高電圧で加速する場合には最大50%程度の輝度ムラを生じてしまう。

【0019】また、対向する平板に高電圧が印加されているので、コンデンサーとして蓄積される電荷は例えば図19の陰極、陽極の面積が100cm²、その間隔が1mm、陽極と陰極の電位差が10kVとして10⁻⁶クーロンに達し、1 μ secで放電しても1箇所に1Aの電流が集中する事により、これが原因で素子破壊をもたらすので前述の輝度むら問題が無いとしても、外部直列抵抗付加では問題の十分な解決とはならない。

【0020】よって本発明では、電圧印加の構成を改善することを目的とする。

【0021】

【課題を解決するための手段】本願に係わる電子放出装置の第1の発明は以下のように構成される。

【0022】複数の電子放出素子がX方向およびY方向に行列状に配置された基板と、該基板に対向配置された電極と、該電極に前記電子放出素子が放出した電子を加速する電圧を供給する加速電圧印加手段を有する電子放出装置において、前記複数の電子放出素子は、走査信号が印加される前記X方向の配線と、変調信号が印加される前記Y方向の配線とに接続され、線順次駆動されるものであり、前記電極は複数の、そして前記X方向と非平行に分割されており、前記分割された各電極はそれぞれ抵抗体を介して前記加速電圧印加手段に接続されており、前記各電極には定電圧が印加されることを特徴とする電子放出装置。

【0023】本願に係わる電子放出装置の第2の発明は以下のように構成される。

【0024】複数の電子放出素子がX方向およびY方向に行列状に配置された基板と、該基板に対向配置された電極と、該電極に前記電子放出素子が放出した電子を加速する電圧を供給する電源を有する電子放出装置において、前記複数の電子放出素子は、走査信号が印加される前記X方向の配線と、変調信号が印加される前記Y方向の配線とに接続され、線順次駆動されるものであり、前記電極は複数の、そして前記X方向と非平行に分割され

ており、前記分割された各電極はそれぞれ抵抗体を介して前記電源に接続されており、前記各電極には定電圧が印加されることを特徴とする電子放出装置。

【0025】なお、上記各発明で言う定電圧とは、実質的な作動時に明確にある値の電圧と他の値の電圧の間でのスイッチングを伴わない、即ち明確なONとOFFのスイッチングを伴わない電圧である。

【0026】上記各発明において、前記電極は、前記電子放出素子が配置された基板を第1の基板とした時、該第1の基板に対向して設けられる第2の基板に設けられており、この電子放出装置は、前記第1の基板と第2の基板の間隔を保持する支持部材を有しているものであってもよい。支持部材は具体的には、第1の基板と第2の基板の間の圧力と、外側の圧力との差による力によって第1の基板と第2の基板の間隔が変わるのを抑制するものであったり、第1の基板と第2の基板の間隔を略一様に保つものであったりする。

【0027】また、上記各発明において、前記支持部材は、前記第1の基板と第2の基板の間で電流を流すことができるものであったりする。

【0028】また、上記各発明において、前記支持部材は、導電性を有しており、前記分割された複数の電極のうちの、1つ以下の電極に電気的に接続されるものであったり、前記支持部材は、該第1の導電性を有する第1の部材と、第2の導電性を有しており前記電極と前記第1の部材とを電気的に接続する第2の部材とを有しており、前記分割された複数の電極のうちの、1つ以下の電極に電気的に接続されるものであったりする。

【0029】支持部材が導電性を有する時、2つ以上の電極に電気的に接続すると、該支持部材を介して、分割された電極が導通してしまう。よって導電性を有する支持部材を用いる時には、分割された電極のいずれにも電気的に接続しないようにするか、1つの電極のみに電気的に接続するようにするとよい。なお、上記本発明でいう、1つ以下の電極とは、分割された電極のいずれにも電気的に接続しないようにするか、1つの電極のみに電気的に接続することをいう。

【0030】支持部材を介して第1の基板と第2の基板間で電流を流すことができるようにする構成を採用する際に、前記分割した電極と前記支持部材を電気的に接続して、前記分割した電極が支持部材に電流を流す手段の少なくとも一部を兼ねるようにすると、構成が簡便になり好適であるが、その際には、支持部材は分割した電極のうちの一つの電極のみに電気的に接続するのが望ましい。支持部材が導電性を有することにより支持部材の帯電が問題になる際に、該帯電を緩和することができる。ここで、支持部材の導電性がよくなる（電流を流しやすくなる）と消費電力が増大するので、導電性は該消費電力と、どの程度帯電を緩和したいかを考慮して設定すれば好適である。また導電性を有する支持部材を電極と電

氣的に接続する際に、該接続が良好になるように、該接続部に、より導電性が良好な部材を設けてもよい。

【0031】また、帯電を緩和するための導電性は、消費電力を抑制する事を考慮してそれほど大きな電流が流れるようには設定されないことが多いが、電極との電氣的な接続を良好にするために、更に良好な第2の導電性を有する第2の部材を設ける時には、該第2の導電性を有する第2の部材を介して分割された電極が短絡してしまいやすくなるので、特にこの構成においては、支持部材が複数の電極にまたがらないようにして設ける構成が好適である。

【0032】また、前述の第1の基板と第2の基板の間に支持部材を設ける構成の発明において、前記支持部材は、前記分割された電極の内の2つ以上の電極にまたがって配置されており、前記支持部材は、第1の導電性を有する第1の部材と、第2の導電性を有して前記電極と前記第1の部材とを電氣的に接続する第2の部材とを有しており、前記2つ以上の電極のそれぞれと電氣的に接続される前記第2の部材それぞれは離間して設けられており、第2の導電性は第1の導電性よりも高いようにしてもよい。

【0033】前記支持部材が第1の導電性を有する第1の部材を有しており、該支持部材を前記電極に電氣的に接続する構成で、かつ電極との接続部に電氣的接続を良好にする第2の導電性を有する第2の部材を設ける構成で、かつ支持部材を分割された電極のうちの少なくとも2つ以上の電極にまたがって設ける時には、該電氣的接続を良好にするための第2の部材によって、分割した電極が短絡しやすくなってしまう。それを抑制するためには、良好な第2の導電性を有する第2の部材を離間して設ければよい。この時、第1の導電性については、それによる分割した複数の電極間での短絡が許容できる範囲内に抑制できる程度に設定すればよい。もとより第1の導電性については、消費電力の抑制の観点からも大きな電流が流れないように設定する場合があるので、上記短絡の抑制と、消費電力の抑制とを考慮して、また帯電の緩和の程度を考慮して決定すればよい。

【0034】また、上述の第1の基板と第2の基板の間に支持部材を設ける構成の発明において、前記支持部材は、前記分割された電極の内の2つ以上の電極にまたがって配置されており、前記支持部材は、第1の導電性を有する第1の部材と、第2の導電性を有して前記電極と前記第1の部材とを電氣的に接続する第2の部材とを有しており、前記2つ以上の電極の内の一部と前記第2の部材は電氣的に接続され、前記2つ以上の電極のうちの残りとは前記第2の部材は電氣的に絶縁されており、第2の導電性は第1の導電性よりも高いようにしてもよい。

【0035】前記支持部材が第1の導電性を有する第1の部材を有しており、該支持部材を前記電極に電氣的に

接続する構成で、かつ電極との接続部に電氣的接続を良好にする第2の導電性を有する第2の部材を設ける構成で、かつ支持部材を分割された電極のうちの少なくとも2つ以上の電極にまたがって設ける時には、該電氣的接続を良好にするための第2の部材によって、分割した電極が短絡しやすくなってしまう。それを抑制するためには、支持部材を分割された電極側に突き当てる部分において、一部の電極とは電氣的に接続されるようにし、他の電極とは絶縁して配置すればよい。これにより第2の部材により短絡してしまう電極の数を抑制することができる。より好ましくは、支持部材を分割された電極側に突き当てる部分において、一つの電極とのみ電氣的に接続されるようにするとよい。具体的には、接着のための材料として導電性のものと絶縁性のものを使い分けることにより実現できる。またこの時、第1の導電性については、それによる分割した複数の電極間での短絡が許容できる範囲内に抑制できる程度に設定すればよい。もとより第1の導電性については、消費電力の抑制の観点からも大きな電流が流れないように設定する場合があるので、上記短絡の抑制と、消費電力の抑制とを考慮して、また帯電の緩和の程度を考慮して決定すればよい。

【0036】また、上記第1の導電性を有する第1の部材、第2の導電性を有する第2の部材を用いる各発明においては、電氣的接続を良好にするためには第2の導電性を有する部材の表面抵抗を 10^{-1} から $10^{-2}\Omega$ にし、第1の導電性を有する部材の表面抵抗を 10^8 から $10^{11}\Omega$ にすると好適である。

【0037】また、上記各発明における導電性を有する支持部材とは様々に構成できる。特に、支持部材の基体表面に導電性を与えるための膜を形成して、導電性を有する支持部材を得ることができる。その膜の材料、組成、厚さ、形状を選択することにより、所望の導電性を与えることができる。

【0038】また、上述の各発明において、前記分割した電極毎に印加電圧が設定されるようにしてもよい。

【0039】また、上述の各発明において、分割された電極と抵抗体との接続の仕方は様々であるが、面内に、分割された電極と抵抗体とを設け、面内で接続する構成や、図21のように抵抗体を設けた上に分割された電極を配置する様にしてもよい。この場合は、分割した電極を設ける基板上に電圧印加手段もしくは電源に電氣的に接続される基礎電極を設け、その上に抵抗体を配置し、その抵抗体の上に複数の電極を設ければよい。これにより複数の電極は抵抗体及び基礎電極を介して電圧印加手段もしくは電源に接続される。いずれの構成においても分割された各電極は抵抗体を通じて電源に接続されており、各電極は並列になっているとよい。

【0040】また、上記各発明において、前記電子放出素子は複数設けられており、同時に駆動される可能性がある複数の電子放出素子が配置される方向と前記電極が

分割されている方向が非平行であることによって、分割された各電極に流入する電流の変化の範囲を小さくすることができ、流入電流の変動による電圧降下の変動の影響を緩和することができる。

【0041】また、上記各発明において、前記抵抗体の抵抗値は、10kΩから1GΩの間であったり、10kΩから4MGの間であると好適である。

【0042】また、上記各発明において、前記電子放出素子は複数設けられており、前記抵抗体の抵抗値をR、各電子放出素子の放出電流値をI_e、前記電極により印加される加速電圧をV、分割された一つの電極に向けて電子を放出する電子放出素子の数をnとした時、

$$R \leq 0.004 \times V / (n \times I_e)$$

を満たす様にすると好適である。

【0043】また、上記各発明において、前記電子放出素子は、表面伝導型放出素子であると好適である。

【0044】また、本願に係わる画像形成装置の発明は、上述の各発明のいずれかの電子放出素子と、画像形成部材を有するものであり、前記電子放出素子が放出した電子により前記画像形成部材に画像を形成することを特徴とする。

【0045】ここで、前記画像形成部材は電子の照射により発光する発光体であったり、特に、電子の照射により発光する蛍光体であったりする。

【0046】ここで、前記画像形成部材は、前記分割されている電極が設けられている基板に設けられるものであってもよい。

【0047】また、前記分割された電極は、横と縦の比率が4:3の比を有する電極を含むものであったり、前記分割された電極は、全体の横と縦の比率が16:9であったりする。

【0048】

【発明の実施の形態】以下に発明の実施の形態を述べる。

【0049】最初に、本願に係わる電子放出装置の構成の概略を説明し、従来から知られる構成と等価回路図を用いて対比する。

【0050】図7は従来の電子放出装置の等価回路を示したもので、複数の電子放出素子及びその素子を選択駆動するマトリクス配線が形成されているリアプレート基板側はほぼGNDに近い電位であり、放電をきっかけとしてフェースプレート、リアプレートで作られるコンデンサーによる放電電流I_{b1}が素子印加電位を変動させる。変動程度はリアプレート側の回路構成（模擬的に抵抗R_rで表示）にも依存するが、表面伝導型電子放出素子の場合には素子駆動の典型的電圧1~5V程度でも素子は劣化することがある。

【0051】本発明は図8のようにフェースプレート側の電極（図17の透明電極44や前述のメタルバック等）を分割しそれぞれに高抵抗R₁を挿入することで、

コンデンサー容量を低減させ放電電流I_{b2}を低減している。これによって放電電流による素子印加の電圧変動も軽減され、放電時のダメージも改善される。図8では抵抗体を介して並列に各電極を繋いでいる。ここで、カソード側で選択できるように電子放出素子を多数配列形成すれば、電子放出型やその他の電子放出素子が好ましく使用できる。

【0052】尚、分割された複数のアノードを有する構成は米国特許第5225820号に開示されているが、これは発光させる蛍光体を選択（アドレス）する為にアノードを分割するものであり、本願に係わる発明の構成要素を全て含むものではない。

【0053】図9、図10は図7、図8の抵抗R_rに相当する部分をより詳しく記したもので、各素子の抵抗R_sを介して画像が信号入力させるスイッチが繋がっている。放電による破壊はこのR_s両端の電圧が大きくなりすぎることによって生じると考えられる。

【0054】以上説明したように、本発明では陽極に（アノード）を分割してコンデンサー構成部に蓄積される電荷を減少させる事である。N個に分割すれば蓄積電荷量は1/Nになる。また電極の分離を、同時に駆動される可能性のある素子が並ぶ方向と非平行にすることにより、分割した電極それぞれに同時に流入する可能性のある電流の範囲は狭くなり、電圧降下を抑制できる。また特に、前記同時に駆動される素子が並ぶ方向と、分割の方向を直交させることにより、各電極に流入する放出電流最大値も1/Nに減少するので、上記電圧降下も1/Nに出来る。従って付加抵抗により生じる輝度ムラ減少とコンデンサーとして蓄積される電荷減少も同時に実現される。即ち視覚的悪影響なしに効果的に放電ダメージが軽減される。

【0055】又、分割した各陽極の面積は必ずしも等しくする必要は無く、図11に示されるように陽極の面積が異なるように分割してもよい。

【0056】一般にNは大きい程効果は大きい、N=2でも蓄積電荷量を1/2にでき、また陽極ごとに電流制限抵抗を配置する事により流入する放出電流最大値も1/2に減少出来る効果がある。Nの最大値は作製精度限界により決まるが電極に対向した画素が1つの場合は電圧降下による輝度分布が好適に抑制されるので、Nはm×1個にマトリクス状に画素が配列されている場合N=m×1として、1画素ごとに分離するのが良い。通常線順次で同時に駆動する素子数程度まで分離するのは容易であり、効果も充分期待できる。

【0057】たとえば図1の様に1000素子を同時駆動する場合には、図1に示すようにフェースプレートのアノードであるITO電極を1~1000に分割し、このアノードに分割パターンがリアプレートの電子源（図3：例えば、v004共通電極（走査電極）上の1~1000の放出点に対応するように位置あわせして、図1

7の様にパネルとして封着する。

【0058】分離されたフェースプレート上のITO 101は同一基板上に設けた高抵抗(膜)102を介して共通電極105に束ねられ(図1)、電子源から放出された電子を加速するための高電圧が端子103及び共通電極105を介して印加される。ITO間の抵抗値は前述の高抵抗膜102の抵抗値と同等以上が好ましいが、 $1/100 \sim 1/10$ 程度以上あれば充分である。上限はない。

【0059】しかしながら長方形をしたフェースプレートを $m \times 1$ のマトリクス状に分離した場合で端にない電極が生じる場合は、端にない電極までの配線をパターン中に設ける構成をとりうる。そのような配線が必要な孤立した電極を作らないで本発明を実現する時には $m, 1$ のどちらかは2以下にすることが接続する抵抗や取り出し電極の作製が容易にする。

【0060】またフェースプレートのアノードの分割数はリアプレートの素子配列数に対応させて設けずに、放出点1~4、5~8、…の放出点のブロック毎にアノードを分割して形成し分割数を少なくすることが出来る。

【0061】なおアノードの分割は素子配列に対して直交するように配置し画面中に分割の切れ目がない方が設計が容易だが、図5示すように斜めに交差させても効果は失われない。

【0062】ここで、1000素子同時線順次駆動の例での適正な抵抗値を見積もると、1素子の放出電流を $1 \sim 10 \mu A$ として $0.1 \sim 1000 M\Omega$ が好ましい。抵抗値の実用的な上限は電圧降下が V_a の1~数割程度以下で輝度ムラを生じない範囲で決められる。

【0063】一般に行われている、蛍光体に1000オングストローム~2000オングストローム程度の厚さのメタルバック処理を施した場合には加速された電子の透過率はその加速電圧が10kV程度で透過率が1に近く利用効率が高い。その10kVで加速するように設計した場合に10kVの加速電圧での電圧降下分1kVを1つの目安とすると、放出電流値により $< 10 \mu A, 100 M\Omega, 1 \mu A, 1000 M\Omega >$ などの組み合わせ例が挙げられる。抵抗値の下限はDC的に流れる電流が素子破壊に対して障害がない程度に選択できる。 $0.1 M\Omega, V_a = 10 kV$ では100mAの電流が流入し、破壊が顕著になる領域である。しかし破壊は電子放出素子特性、配線抵抗値、走査電極・信号電極のスウィッチング抵抗値に依存しており壊れなければ更に小さい抵抗でも良い。従って付加する抵抗値は具体的には $0.01 M\Omega \sim 10 G\Omega$ から選択される。 $1 M\Omega \sim 100 M\Omega$ がより有効に機能する範囲と考えられる。

【0064】また、たとえば、TV受像機のような高品位の要求には256階調が仕様であることから、そのレベル以下に輝度むらを抑えることが重要な意味をもつ。

【0065】256階調すなわち0.4%の幅に抑える

ために、陽極の電圧の変動幅を0.4%程度以内にする必要があるので、抵抗による電圧降下をその幅にとどめればよい。

【0066】つまり分割された陽極に抵抗を接続し共通配線で駆動する場合には実際に電子の加速される領域での電圧が精度良くそろっていることが望ましく、共通配線で接続されていない場合には分割された電極、それぞれの電圧が揃うように調整する。

【0067】輝度が加速電圧に対してリニアなところを利用するとして、加速電圧 V の印加された分割されたアノードの中で同時に点灯する素子の数が n の場合に、許される電圧降下量を ΔV とすると $\Delta V/V$ が0.004となればいいのでアノードに接続されている抵抗が R 、1素子から流れる放出電流値が I_e の時 $\Delta V = R \times n \times I_e$ であるから

$$R = 0.004 \times V / (n \times I_e) \quad \text{で決まる。}$$

点灯数 n の最小値は2なので

$$R \leq 0.002 \times V / I_e \text{ である。}$$

$V_a = 10 kV$ 、 $I_e = 5 \mu A$ では $R \leq 4 M\Omega$ となる。また同様に n が3であれば $R \leq 2.67 M\Omega$ である。

【0068】単純マトリクス配線を利用して素子を駆動し画像表示を行なう場合には線順次走査を行なうのが一般的である。線順次走査を行なう場合の本発明の好適な適用方法としては加速電極の分割パターンに関して走査時に同時に選択される1行の走査配線に対して垂直に配置する。そのため、分割された加速電極に接続された抵抗による電圧降下の輝度分布に及ぼす影響は1走査配線を横に分割する分割数で1走査配線に接続された電子放出素子の数を割った結果で上式の n が決まるので分割数を決めた場合により大きな抵抗 R を接続出来る。

【0069】さらに一般的な薄膜抵抗の作成において0.4%の精度を実現するのにレーザートリミング等の手段が必要で工程の長時間化につながりコストアップの要因となる場合を鑑み、本発明では分割された加速電極に接続された抵抗の精度による輝度バラツキを補正するために分割された電極に対向した素子毎に駆動条件を異ならせることが出来る設定手段をもうけることでこの問題を解決する。

【0070】スペーサ上の帯電防止膜は絶縁性基板の表面を導電性膜で被覆することにより、絶縁性基板表面に蓄積した電荷を除去するものであり、通常、帯電防止膜の表面抵抗が $10^{12} \Omega$ 以下であるとよい。さらに、十分な帯電防止効果を得るためには、より低い抵抗値であればよく $10^{11} \Omega$ 以下であることが好ましく、より低抵抗であれば除電効果が向上する。

【0071】帯電防止膜を画像形成装置のスペーサに適用した場合においては、スペーサの表面抵抗は帯電防止及び消費電力からその望ましい範囲に設定される。表面抵抗の下限はスペーサにおける消費電力により制限され

る。低抵抗であるほどスペーサに蓄積する電荷を速やかに除去することが可能となるが、スペーサで消費される電力が大きくなる。スペーサに使用する帯電防止膜としては比抵抗が小さい金属膜よりは半導電性の材料であることが好ましい。その理由は比抵抗が小さい材料を用いた場合、表面抵抗を所望の値にするためには帯電防止膜の厚みを極めて薄くしなければならないからである。薄膜材料の表面エネルギー及び基板との密着性及び基板温度によっても異なるが、一般的に 10^2 オングストローム以下の薄膜は島状となり、抵抗が不安定で成膜再現性に乏しい。

【0072】したがって、比抵抗値が金属導電体より大きく、絶縁体よりは小さい範囲にある半導電性材料が好ましいのであるが、これらは抵抗温度係数が負の材料が多い。抵抗温度係数が負であると、スペーサ表面で消費される電力による温度上昇で抵抗値が減少し、さらに発熱し温度が上昇しつづき、過大な電流が流れる、いわゆる熱暴走を引き起こす。しかし、発熱量すなわち消費電力と放熱がバランスした状況では熱暴走は発生しない。また、帯電防止膜材料の抵抗温度係数TCRの絶対値が小さいければ熱暴走しづらい。

【0073】TCRが -1% の帯電防止膜を用いた条件でスペーサ 1 cm^2 当たりの消費電力がおよそ 0.1 W を越えるようになるとスペーサに流れる電流が増加しつづき、熱暴走状態となることが実験で認められた。もちろんスペーサ形状とスペーサ間に印加される電圧 V_a 及び帯電防止膜の抵抗温度係数により左右されるが、以上の条件から、消費電力が 1 cm^2 あたり 0.1 W を越えない表面抵抗の値は $10 \times V_a^2 \Omega$ 以上である。すなわち、スペーサ上に形成した帯電防止膜の表面抵抗は $10 \times V_a^2 \Omega$ から $10^{11} \Omega$ の範囲に設定されると好適である。

【0074】上述したように絶縁性基板上に形成された帯電防止膜の膜厚は 10^2 オングストローム以上が望ましい。一方膜厚が 10^4 オングストローム以上では膜応力が大きくなって膜はがれの危険性が高まり、また成膜時間が長くなるため生産性が悪い。したがって、膜厚は $10^2 \sim 10^4$ オングストローム、さらには $2.0 \times 10^2 \sim 5.0 \times 10^3$ オングストロームであることが望ましい。比抵抗は表面抵抗と膜厚の積であり、以上に述べた好ましい範囲から、帯電防止膜の比抵抗は $10^{-5} \times V_a^2 \sim 10^7 \Omega \text{ cm}$ であるとよい。さらに表面抵抗と膜厚のより好ましい範囲を実現するためには、 $2.0 \times 10^{-5} \times V_a^2 \sim 5.0 \times 10^6 \Omega \text{ cm}$ とするのが良い。

【0075】画像形成装置における電子の加速電圧 V_a は 100 以上であり、十分な輝度を得るためには 1 kV の電圧を要する。 $V_a = 1\text{ kV}$ の条件においては、帯電防止膜の比抵抗は $10 \sim 10^7 \Omega \text{ cm}$ が好ましい範囲である。

【0076】さらにスペーサには、アノード電極及び配

線電極との良好な電氣的接触を得るために、金属導電膜により带状接触電極が好ましく形成されるとよい。すなわち、第1の導電性を有する第1の部材として帯電防止膜を設け、該帯電防止膜と、アノード電極もしくは配線電極との電氣的接続を良好にする、第2の導電性を有する第2の部材として接触電極（金属導電膜）を設けるとよい。

【0077】そこで、本発明では分割アノード電極にまたがらないようにスペーサを配置して、分割アノード電極を電氣的に短絡させることをなくすようにしてもよい。

【0078】また、本発明では分割アノード電極にまたがって配置されるスペーサに関して、分割アノード電極を電氣的に短絡させることなく上記接触電極を形成するようにしてもよい。

【0079】例えば表面抵抗が $10^{-1} \sim 10^{-2} \Omega$ に設定された接触電極は、分割アノード電極側については島状に形成する。また、帯電防止膜の表面抵抗は 10^8 から $10^{11} \Omega$ に設定され、島状接触電極間及び分割アノード電極間の電氣的短絡を防止する。さらに、島状接触電極の幅が分割アノード間距離より小さい場合にはスペーサ組み立て時のアライメントが簡単もしくは不要で、従来の姿穴治具を使った簡便な方法によりスペーサを組み立てることが可能である。また、島状接触電極のピッチをスペーサ高さよりも小さく形成した場合には、放出電子軌道に与える影響を抑制でき、望ましい効果を期待できる。

【0080】以上のような構成のスペーサを、電流制限抵抗を介して共通接続された複数の分割アノード電極が配置され、さらに電子線の照射によって発光する発光部が形成されたフェースプレートを使用した画像形成装置に適用することにより、高輝度で歪みのない表示画像を得ることが可能で、さらに素子破壊がない高寿命の画像形成装置を作製することが可能である。

【0081】図29、図30は、本発明のスペーサを利用した画像形成装置の構成の一例を示す模式図であり、図30は、図29におけるA-A'断面図である。

【0082】図29において、1は電子源基板であるリアプレート、2は陽極基板であるフェースプレート、3はスペーサ、4はリアプレート1の基体である基板、5は電子放出素子、6a及び6bは電子放出素子5に電圧を印加するための電極、7a（走査電極）及び7b（信号電極）は、それぞれ電極6a、6bに接続されている配線電極、8はフェースプレート2の基体である基板、9はメタルバック、10は蛍光体である。図30においては、11はスペーサに導電性を与え、帯電を緩和する帯電防止膜、12は膜11とアノード電極9及びリアプレート上の配線との電氣的接続を良好にする接触電極、またdはスペーサの高さすなわちフェースプレートとリアプレート間の距離、Hはフェースプレート側の接触電

極の高さ、 H' はリアプレート側の接触電極の高さ、 L_c はフェースプレート側の島状接触電極の幅、 P_c はそのピッチ、 L_a は分割アノード電極を構成する透明電極 11 の幅、 P_a はそのピッチである。リアプレート 1 とスペーサ 11 を接続する例を示しているが、フェースプレート 2 側に絶縁性フリットを塗布してフェースプレート 2 とスペーサ 11 を接続することも可能である。

【0083】リアプレート 1 は、多数の電子放出素子が基板 4 上に配列された電子源基板である。基板 4 としては、石英ガラス、青板ガラス、 Na 等の不純物含有量を軽減したガラス、青ガラスに SiO_2 を積層したガラス基板、アルミナ等のセラミックス、及び Si 基板等を用いることができるが、特に大画面表示パネルを構成する場合、青板ガラス、カリウム置換ガラス、青板ガラスに液相成長法、ゾルゲル法、スパッタ法等により SiO_2 を積層したガラス基板等が、比較的低コストであり、好ましく用いることができる。電子放出素子 5 として、ここでは、表面伝導型電子放出素子を用いている。

【0084】図 31 はこの構成例に係わる画像形成装置の構成図、図 32 はこの構成例に係わる画像形成装置の電子源の製法図である。図 31 及び図 32 において、図 29、図 30 に示した部位と同じ部位には図 29、図 30 に付した符号と同一の符号を付している。図 32 において 31 は導電性薄膜、32 は電子放出部である。導電性薄膜 31 には、たとえば、10 オングストロームより 500 オングストロームの範囲の膜厚の導電性微粒子で構成された微粒子膜が好ましく用いられる。導電性薄膜 31 を構成する材料として、種々の導電体、ないし半導体を用いることができるが、特に Pd 、 Pt 、 Ag 、 Au 等の貴金属元素を含む有機化合物を加熱焼成して得られる Pd 、 Pt 、 Ag 、 Au 、 PdO 等が好ましく用いられる。電子放出部 32 は、導電性薄膜 31 の一部に形成された高抵抗の亀裂により構成され、その内部には、導電性薄膜 31 を構成する材料の元素、及び炭素、炭素化合物を含有する数オングストロームから数百オングストロームの範囲の粒径の導電性微粒子が存在する場合もある。

【0085】電極 6a、6b としては、一般的な導体材料を用いることができる。これは例えば Ni 、 Cr 、 Au 、 Mo 、 W 、 Pt 、 Ti 、 Al 、 Cu 、 Pd 等の金属或いは合金及び Pd 、 Ag 、 Au 、 RuO_2 、 $Pd-Ag$ 等の金属或いは金属酸化物とガラス等から構成される印刷導体、 $In_2O_3-SnO_2$ 等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【0086】電子放出素子 5 の配列については、種々のものが採用できる。ここで説明しているのは単純マトリクス配置と称される配列で、電子放出素子 5 を X 方向及び Y 方向に行列状に複数個配し、同じ行に配された複数の電子放出素子 5 の電極の一方 6a を、X 方向の配線 7

a に共通に接続し、同じ列に配された複数の電子放出素子 5 の電極の他方 6b を、Y 方向の配線 7b に共通に接続したものである。X 方向配線電極 7a、Y 方向配線電極 7b 共に真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は適宜設計される。また、層間絶縁層 14 は、ガラス、セラミック等を真空蒸着法、印刷法、スパッタ法等を用いて形成された絶縁体層である。例えば、X 方向配線 7a を形成した基板 4 の全面或いは一部に所望の形状で形成され、特に、X 方向配線 7a と Y 方向配線 7b の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X 方向配線 7a には、X 方向に配列した電子放出素子 5 の行を選択するための走査信号を印加する、不図示の走査信号印加手段が接続される。一方、Y 方向配線 7b には、Y 方向に配列した電子放出素子 5 の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0087】上記構成においては、単純マトリクス駆動により、個別の素子を選択し、独立に駆動可能とすることができる。

【0088】このほかに、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動するはしご状配置のもの等があるが、本発明は特にこれらの配置によって限定されるものではない。

【0089】フェースプレート 2 は、基板 8 の表面にメタルバック 9 と蛍光体膜 10 等を形成した陽極基板である。基板 8 としては、透明であることは言うまでもないが、リアプレート用基板 4 と同様の機械強度、熱物性を有するものが好ましく、大画面表示パネルを構成する場合、青板ガラス、カリウムガラス、青板ガラスに液相成長法、ゾルゲル法、スパッタ法等により SiO_2 を積層したガラス基板等が、好ましく用いることができる。

【0090】メタルバック 9 は、電圧降下をできるだけ小さく抑えるために Y 方向配線 7b に平行、X 方向配線 7a に垂直に配置されるよう、フォトリソグラフィによって分割パターンニングされ、さらに分割列毎に 100 MΩ 程度の電流制限抵抗を介して共通接続された取り出し部分に不図示の外部電源から正の高電圧 V_a が印加される。このとき、分割アノード電極の幅 L_a 及びピッチ P_a は画像形成装置における素子数及び X 方向配線側の素子ピッチ P_x 等によっても異なるが、概ね以下のように規定される。

【0091】

$$P_a = n \cdot P_x \quad (n \in \mathbb{N} \mid n < 100)$$

$$10^{-6} \text{ m} \leq P_a - L_a \leq 10^{-4} \text{ m}$$

こうして電子放出素子5より放出された電子はフェースプレート2へ引きつけられ、加速されて蛍光体膜10に照射される。このとき、入射電子が蛍光体膜10を発光させるのに十分なエネルギーをもっていれば、そこに輝点を得ることができる。一般に、カラーTV用CRTに用いられている蛍光体では、数kVから数10kVの加速電圧で電子を加速して照射して良好な輝度と発色を得ている。CRT用の蛍光体は、比較的安価でありながら非常に高い性能を有するため、本発明においても好ましく用いることができる。アノード電極としてメタルバックを採用する場合、蛍光体の発光のうちリアプレート1側への光をフェースプレート2側へ鏡面反射させることにより輝度を向上させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護するという更なる効果もある。アノード電極として透明電極を用いる場合で、かつ支持部材と透明電極を電気的に接続する場合は、透明電極と支持部材の間に蛍光体が介在するが、外囲器内外の圧力差等によって蛍光体はつぶされる為、電気的な接続は実現できる。また透明電極と支持部材の間には蛍光体を配置しない様にしてもよい。

【0092】図31において、外枠13は、リアプレート1及びフェースプレート2と接続されており、外囲器を形成している。外枠13とリアプレート1及びフェー

$$L_c < P_a - L_a$$

第二に島状接触電極によって素子間で輝点のバラツキが

$$P_c \leq P_x \leq P_a$$

$$H \ll d$$

リアプレート側の帯状接触電極のスケールに関しては、第二の条件を満足することが望ましい。

$$H' \ll d$$

このようにして接触電極が形成されたスペーサは、さらに真空蒸着法、スパッタ法、印刷法、引き上げ法等によって導電性を有する帯電防止膜が形成される。

【0097】この帯電防止膜の表面抵抗 R_s は、 $10^8 \Omega < R_s < 10^{11} \Omega$

なる範囲に望ましく設定される。抵抗の下限は、分割アノード電極間の短絡抑止、消費電力の抑制等から規定され、上限はスペーサの帯電防止効果が認められる範囲に規定される。

【0098】以上を満足すれば、スペーサとフェースプレートとの位置合わせをせずに、放電耐性及び放出電子軌道に位置的なバラツキがない均一な画像形成装置を作製できる。

【0099】

【実施例】以下、実施例を用いて本発明をさらに詳しく説明する。

【0100】実施例で示す図面中XY軸に対してX方向に平行に走査配線、Y方向に平行に信号配線が有するものとする。

スプレート2との接続は、リアプレート1、フェースプレート2、外枠13を構成する材質にもよるが、一例としてガラスを用いた場合、ガラスフリットを用いて融着することができる。スペーサ11は、耐大気圧支持とリアプレート1とフェースプレート2間の距離 d を略均等にすることを目的とする。この距離 d は、上述の高電圧 V_a による真空中の放電を起こさない程度に大きくなければならない。一方、電子放出素子5からの放出電子は有限の拡がり角をもっているため、あまり大きな距離をとると、隣り合う画素との重なりを生じ、混色やコントラスト低下を生じる場合がある。したがって、上記数kVから数10kVの V_a に対して、数百 μm から数mm程度の距離 d 、すなわちスペーサ高さに設定されるのが望ましい。

【0093】以下、本発明のスペーサの作製法の一例を述べる。

【0094】まず、洗浄したガラス基板に真空蒸着法、スパッタ法、印刷法、引き上げ法等により導電性金属で接触電極を形成する。フェースプレート側の島状接触電極のスケールに関して、図30における符号を用いると、以下の条件を満足することが望ましい。

【0095】第一に如何なるアライメントによっても島状接触電極が複数の分割アノードラインを短絡しない条件、

…①

生じるような電界ムラを抑制する条件、

…②

…③

【0096】

…④

【0101】[実施例1]

図17で述べた電子放出素子を利用した画像形成装置を試作した。図3に示すようにリアプレートのマルチ電子源はマトリクス配線されたSEC電子源（後に詳細に述べる）である。図3の300は各電子放出素子を示す。この電子源は共通配線単位の1000素子ごとに線順次駆動される。放出点は1000×500である。

【0102】一方、図1に示すように、フェースプレートは、ガラス基板にベタでITO膜を形成した後、230 μm ピッチ（1000ライン分）にフォトリソグラフィ工程で分離（101）し、片側を100M Ω の抵抗体（パターニングしたNiO膜（102））を介して束ねて高電圧を端子103から印加出来るようにした。

【0103】次に図2に示すように分離したITO上に蛍光体ZnS（Cuドープ）を塗布焼成し201、202、冷陰極マルチ電子源（リアプレート）に対して陽極高電圧を印加するフェースプレートとした。

【0104】リアプレートの共通配線v001、v002、…とフェースプレートのITO分離配線101とは

直交（交差）するよう配置した。本実施例では共通配線 $v001, v002, \dots, v500$ は走査配線であり、各配線上の1000個の素子は同時に電子を放出する可能性があるが、同時に駆動される可能性のある素子が並ぶ方向（走査配線の方向）と非平行にアノード電極を分割することにより、各アノード電極に流れる電流の変化の範囲を抑制している。

【0105】図1のフェースプレートと図3のリアプレート間を2mmにし、高電圧 $V_a: 5kV$ を印加した。線順次駆動はTVレイトで1ライン $30\mu sec$ でスクロールした。リアプレート、フェースプレート間の放電の影響を調べるために、画像形成装置内の真空度を落とす（悪くする）ことにより計測を行った。外部回路の測定及び蛍光体の輝点をCCDにより検出することにより放電は2回/時間程度観測されたが、画素の大幅な輝度劣化は認められなかった。比較のため試作したフェースプレートのITOを分離しない（図4）場合は縦、横の配線に沿って画素の大幅な輝度劣化が認められた。

【0106】図4において401はITO膜、403は取り出し電極を示す。

【0107】以下、本発明に使用した表面伝導型（SCE）電子放出素子について説明する。図12は、本発明を適用可能な平面型表面伝導型電子放出素子の構成を示す模式図であり、図12（a）は平面図、図12（b）は断面図である。図12において311は基板、312と313は素子電極、314は導電性薄膜、315は電子放出部である。

【0108】基板311としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成した SiO_2 を積層したガラス基板及びアルミナ等のセラミックス及び Si 基板等を用いることができる。対向する素子電極312、313の材料としては、一般的な導体材料を用いることができる。これは例えば $Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd$ 等の金属或いは合金及び $Pd, Ag, Au, RuO_2, Pd-Ag$ 等の金属或いは金属酸化物とガラス等から構成される印刷導体、 $In_2O_3-SnO_2$ 等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。

【0109】素子電極間隔 SL 、素子電極長さ SW 、導電性薄膜314の形状等は、応用される形態等を考慮して設計される。素子電極間隔 SL は、好ましくは数千オングストロームから数百マイクロメートルの範囲とすることができ、より好ましくは、素子電極間に印加する電圧等を考慮して数マイクロメートルから数十マイクロメートルの範囲とすることができる。

【0110】素子電極長さ SW は、電極の抵抗値、電子放出特性を考慮して、数マイクロメートルから数百マイクロメートルの範囲とすることができる。素子電極312、313の膜厚 d は、数百オングストロームから数マ

イクロメートルの範囲とすることができる。尚、図12に示した構成だけでなく、基板311上に、導電性薄膜314、対向する素子電極312、313の順に積層した構成とすることもできる。

【0111】導電性薄膜314には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極312、313へのステップカバレッジ、素子電極312、313間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、数オングストロームから数千オングストロームの範囲とするのが好ましく、より好ましくは10オングストロームより500オングストロームの範囲とするのが良い。その抵抗値は、 R_s が 10^2 から $10^7 \Omega/\square$ の値である。なお R_s は、厚さが t 、幅が w で長さが l の薄膜の抵抗 R を、 $R = R_s (l/t \times w)$ とおいたときに現れる。ここでは、フォーミング処理については、通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態を形成する処理であれば通電処理以外のものであっても良い。

【0112】導電性薄膜314を構成する材料は、 $Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb$ 等の金属、 $PdO, SnO_2, In_2O_3, PbO, Sb_2O_3$ 等の酸化物、 $HfB_2, ZrB_2, LaB_6, CeB_6, YB_4, Gd_2B_4$ 等の硼化物、 $TiC, ZrC, HfC, TaC, SiC, WC$ 等の炭化物、 TiN, ZrN, HfN 等の窒化物、 Si, Ge 等の半導体、カーボン等の中から適宜選択される。

【0113】ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造は、微粒子が個々に分散配置した状態あるいは微粒子が互いに隣接、あるいは重なり合った状態（いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む）をとっている。微粒子の粒径は、数オングストロームから数千オングストロームの範囲、好ましくは、10オングストロームから200オングストロームの範囲である。なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。

【0114】小さな粒子を「微粒子」と呼び、これよりも小さいものを「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく原子の数が数百個程度以下のものを「クラスター」と呼ぶことは広く行われている。

【0115】しかしながら、それぞれの境は厳密なものではなく、どのような性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。「実験物理学講座14 表面・微粒子」（木下是雄編、共立出版 1986年9月1日発行）では次のように記述されている。

【0116】「本稿で微粒子と言うときにはその直径がだいたい2〜3 μm 程度から10nm程度までとし、特に超微粒子というときは粒径が10nm程度から2〜3nm程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけっして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十〜数百個程度の場合はクラスターと呼ぶ。」(195ページ22〜26行目) 付言すると、新技術開発事業団の“林・超微粒子プロジェクト”での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。「創造科学技術推進制度の“超微粒子プロジェクト”(1981〜1986)では、粒子の大きさ(径)がおおよそ1〜100nmの範囲のものを“超微粒子”(ultra fine particle)と呼ぶことにした。すると1個の超微粒子はおおよそ100〜10⁸個くらいの原子の集合体という事になる。原子の尺度でみれば超微粒子は大〜巨大粒子である。」(「超微粒子 創造科学技術」林主税、上田良二、田崎明編；三田出版 1988年2ページ1〜4行目)「超微粒子よりさらに小さいもの、すなわち原子が数個〜数百個で構成される1個の粒子は、ふつうクラスターと呼ばれる」(同書2ページ12〜13行目) 上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は数オングストローム〜10オングストローム程度、上限は数 μm 程度のものを指すこととする。

【0117】電子放出部315は、導電性薄膜314の一部に形成された高抵抗の亀裂により構成され、導電性薄膜314の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部315の内部には、数オングストロームから数百オングストロームの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性薄膜314を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部315及びその近傍の通電性薄膜314には、炭素及び炭素化合物を有することもできる。

【0118】上述の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図13に模式的に示す。

【0119】以下、図13を参照しながら製造方法の一例について説明する。図13においても、図12に示した部位と同じ部位には図12に付した符号と同一の符号を付している。

【0120】1) 基板311を洗剤、純水及び有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板311上に素子電極312、313を形成する(図13(a))。

【0121】2) 素子電極312、313を設けた基板

311に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜314の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターニングし、導電性薄膜314を形成する(図13(b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性薄膜314の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散・塗布法、ディッピング法、スピナー法等を用いることもできる。

【0122】3) つづいて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極312、313間に、不図示の電源を用いて通電を行うと、導電性薄膜314の部位に構造の変化した電子放出部5が形成される(図13(c))。通電フォーミングによれば導電性薄膜314に局所的に破壊、変形もしくは変質等の構造の変化した部位が形成される。該部位が電子放出部315を構成する。通電フォーミングの電圧波形の例を図14に示す。

【0123】電圧波形は、パルス波形が好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図14(a)に示した手法とパルス波高値を増加させながら、電圧パルスを印加する図14(b)に示した手法がある。

【0124】図14(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔である。通常T1は1マイクロ秒〜10ミリ秒、T2は、10マイクロ秒〜100ミリ秒の範囲で設定される。三角波の波高値(通電フォーミング時のピーク電圧)は、表面伝導型電子放出素子形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、矩形波など所望の波形を採用することができる。

【0125】図14(b)におけるT1及びT2は、図14(a)に示したのと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度づつ、増加させることができる。

【0126】通電フォーミング処理の終了は、パルス間隔T2中に、導電性薄膜2を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れる素子電流を測定し、抵抗値を求めて1M Ω 以上の抵抗を示した時、通電フォーミングを終了させる。

【0127】4) フォーミングを終えた素子には活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により素子電流I_f、放出電流I_eが著しく変化する工程である。

【0128】活性化工程は、例えば有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、パルス

の印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や有機物質の種類などにより異なるため場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来る、具体的には、メタン、エタン、プロパンなど C_nH_{2n+2} で表される飽和炭化水素、エチレン、プロピレンなど C_nH_{2n} 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセント、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流 I_f 、放出電流 I_e が著しく変化ようになる。活性化工程の終了判定は、素子電流 I_f と放出電流 I_e を測定しながら適宜行う。なお、パルス幅、パルス間隔、パルス波高値などは適宜設定される。

【0129】炭素及び炭素化合物とは、例えばグラファイト（いわゆるHOPG、PG、GCを包含する。HOPGはほぼ完全なグラファイトの結晶構造、PGは結晶粒が200オングストローム程度で結晶構造がやや乱れたもの、GCは結晶粒が20オングストローム程度になり結晶構造の乱れがさらに大きくなったものを指す。）、非晶質カーボン（アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す）であり、その膜厚は、500オングストローム以下の範囲とするのが好ましく、300オングストローム以下の範囲とすることがより好ましい。

【0130】5) このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質排気する工程である。真空容器内の圧力は、 $1 \sim 3 \times 10^{-7}$ Torr以下が好ましく、さらに 1×10^{-8} Torr以下が特に好ましい。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソープションポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や電子放出素子に吸着した有機物質分子を排気しやすくなるのが好ましい。このときの加熱条件は、80～200℃で5時間以上が望ましいが、特にこの条件に限るものではな

く、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。

【0131】安定化工程を行った後の駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することが出来る。このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、結果として素子電流 I_f 、放出電流 I_e が安定する。

【0132】〔実施例2〕

本実施例では、図15に示すようにフェースプレートガラス基板上に導電性ブラックストライプ；BS（カーボン60%、水ガラス成分40%を分散したもの）をスクリーン印刷した（1001）。幅100 μ m、ピッチ230 μ m、厚み10 μ mとした。抵抗値は150 Ω /□である。

【0133】さらに高抵抗体として RuO_2 を印刷した。抵抗値は幅100 μ m長さ750 μ mで10M Ω であった（1002）。次にCRT用蛍光体P22をR、G、BをBS間にストライプ状に10 μ m厚で塗布、焼成した。続いてA1のメタルバックを施した（1003）。アクリル系の樹脂をディッピングで成形後1000オングストロームのA1を蒸着、焼成する。A1側からレーザ加工によりA1膜を分離することにより目的のフェースプレートを得た。

【0134】本素子を実施例1のリアプレートと実施例1と同様に封着し、パネルを形成し同様の耐放電テストを行ったところ、放電は2～5回/時間程度観測されたが画素の大幅な輝度劣化は認められず、A1膜を分離しないものと比較して放電ダメージを顕著に減少させる効果が認められた。又試験的に1ライン、10ライン、100ライン毎に分離幅を変えてテストしたところ細かい分離幅の方が、放電ダメージが小さく有効である事がわかった。（図15はこのレーザ加工の様子を模式的に示したものである。）具体的には1ライン、10ラインの分離領域では画素の大幅な輝度劣化はなかったが100ライン部では数画素にわたる劣化が（輝度低下が）認められた。

【0135】比較例として行ったA1を分離しないパネルでは実施例1と同様の配線にそって画素の大幅な輝度劣化が生じた。

【0136】〔実施例3〕

本実施例では図16（a）、図16（b）に示すように、実施例2で行った樹脂ディッピングの後A1斜め蒸着を行った図16において1105は蛍光体、1106はフェースプレートを構成するガラス基板、1107は蒸着A1膜である。

【0137】BS1101の高さはA1ビーム1102の影を形成するよう25 μ mとした。ここにA1ビーム

1102を斜め方向からあてることにより、分割されたAl膜1107を設けた。焼成後1ライン毎の素子分離が大部分(90%以上)が100MΩ以上である事を確認、作成されたフェースプレートとリアプレートとを封着し、素子活性化後、実施例1と同様の耐放電テストを行ったところ、Al膜を分離しないサンプルと比較し放電に対して有意な改善が認められた。すなわち放電回数は~3回/時間であったが、放電にともなう大幅な輝度劣化は認められなかった。比較例サンプルでは実施例2で示したものと同じように配線にそった画素の大幅な輝度劣化が発生した。完全にアノード(Alのメタルバック)分離が出来なくても、ある程度有効である事が実験からも確認出来た。これは不完全な素子分離によっても、蓄積電荷容量が減少している効果によるものと考えられる。

【0138】[実施例4]

本実施例ではフェースプレートを構成するガラス基板上に導電性ブラックストライプ;BS(カーボン60%、水ガラス成分40%を分散したもの)をスクリーン印刷した。本実施例では導電性ブラックストライプがアノード電極を兼ねる。幅100μm、ピッチ230μm、厚み10μmとした。抵抗値は150Ω/□である。高抵抗体としてRuO₂を印刷した。抵抗値は幅100μm長さ750μmで10MΩであった。次に低抵抗化処理済GREEN蛍光体(ZnS、Cu doped In₂O₃添加、比抵抗~10⁹Ωcm)を10μm厚で表示部全面に形成した。導電性BS間の抵抗値はRuO₂の抵抗値10MΩと隣接BS間の導電性蛍光体抵抗~300MΩの並列抵抗で分離されている。実施例1と同様に画像形成装置を形成し、放電による劣化特性を比較したところ、実施例1のITOパターンによる素子分離の場合と同様な有効な結果を得た。低抵抗化処理をしないZnSを用いた場合は10¹²Ωcmの比抵抗であり、若干のチャージアップ現象がみられたが、放電耐性は効果が認められた。このように初めに述べたように、フェースプレート陽極上で1~100MΩ程度の分離ができれば、本発明が有効であることが実証された。

【0139】[実施例5]

本実施例ではフェースプレートを構成するガラス基板上に透明導電性膜をシート抵抗値が100KΩ/□になるようにSbをドープしたIn₂O₃で形成した。

【0140】実施例1のようにストライプ状にパターンニングし、実施例1と同様分割されたアノード1つあたりの抵抗を100MΩとした後、取り出し部にAg印刷電極103、蛍光体(不図示)を形成、焼成した(図1)。ただし本実施例ではアノードが有意な抵抗を有しており、アノード自体がアノードが抵抗体を介して接続される際の抵抗体を兼ねるので、別個に設けた抵抗体102はない。

【0141】実施例1と同じ封着工程でリアプレートと

対向させてパネル化しディスプレイとした。放電に対する耐性は図4に示す比較用ベタ低抵抗ITOサンプルより優れており、電圧降下による輝度ムラも実用に耐える程度であった。線順次駆動実験中の同時放出電流はΣI_e=0~1mAであり、DC印加電圧の電圧降下による輝度ムラは許容出来る範囲であった。

【0142】[実施例6]

本実施例では電子放出素子として電界放出型電子放出素子(FE)を用いた。

【0143】図6に示すように、リアプレートを構成するガラス基板707に、陰極膜706、アモルファスSi抵抗膜701、SiO₂絶縁膜702、ゲート膜703を順次積層する。続いて、ドライエッチングにより2μmの穴を開けた後、SiO₂層のみ選択的にドライエッチングで除去した。つぎに、ゲート上にNiカソード配線膜を形成後、冷陰極材のMo704を回転斜方蒸着により成膜した。ゲート上のMo膜はNiのリフトオフにより除去しFE電子源を形成した。各電子放出ユニットは図6(a)のような構造をしている。

【0144】この電子放出素子を~2000個を1画素として1000×500の陰極側電子放出源をリアプレートとした。陽極側は[実施例1]の方法で蛍光体を塗布したフェースプレートをを用い、リアプレートと封着してディスプレイパネルを形成した。

【0145】フェースプレート、リアプレート間に600V電圧を印加、リアプレートはカソード配線、ゲート電極で選択的に必要画素を駆動することで平面ディスプレイを実現した。陽極のITOを分割しなかった(図4)のフェースプレートをを用いたパネルはゲート電極、Mo陰極先端部の放電による劣化が顕著であったが、(図1)のITO分割したフェースプレートをを用いた方は放電劣化が著しく軽減され、本発明の有効性が実証された。すなわちITOを分割した場合は一定時間駆動中の放電による画素の輝度の大幅な劣化はなかった。比較例では放電により輝度が50%以下になった画素が20点見られた。

【0146】[実施例7]

本実施例のフェースプレート構造について述べる。実施例1と同様にガラス基板にITO膜を形成、230μmピッチ(1500ライン分)に分離し、片側を100MΩの抵抗体(スクリーン印刷によりRuO₂を分離形成)を介して束ねて高電圧を印加出来るようにした(図1)。

【0147】次に分離したITO上の分離溝毎に絶縁性ブラックストライプを印刷、次に、分離したITOストライプ101上に各色RGB蛍光体(P22)を周期的に塗布焼成した。Alメタルバック形成後BS上に沿ってレーザ加工しAlメタルバックも分離し、後述する冷陰極マルチ電子源(リアプレート)に対して陽極高電圧を印加するカラーフェースプレートとした(図1)。

【0148】リアプレートは1500×500のSCE電子放出素子を形成し、図3に示す共通配線とフェースプレートのITO分離配線とは直交（交差）するよう、かつ電子放出素子とRGB蛍光体が対向するようにアライメント封着した。

【0149】フェースプレートとリアプレートとの間隔は3mmとし高電圧Va；8kVを印加した。線順次駆動はTVレートで1ライン30μsecでスクロールした。リアプレート、フェースプレート間の放電は外部回路の測定及び蛍光体の輝点をCCDにより検出することにより行い、駆動初期は～5回／時間程度観測されたが、リアプレート側の素子劣化は認められなかった。すなわち画素の輝度の大幅な劣化は認められなかった。比較のため試作したフェースプレートのITOを分離しない場合は放電に因る画素の輝度の大幅な劣化が横、縦の配線に沿って認められる場合があった。

【0150】〔実施例8〕

本実施例でのフェースプレート構造について述べる。

【0151】図20に示すように、フェースプレートガラス基板上にAgの取り出し配線3箇所103を印刷した。縦横の絶縁性ブラックストライプをスクリーン印刷した。横幅100μm、横ピッチ282μm、縦幅300μm、縦ピッチ842μm、厚み10μmとした。取り出し配線を外付け抵抗3つを介して電源V1、V2及びV3に接続し加速電圧が掛けられるようにした。それぞれの抵抗値は10.1MΩと10.3MΩ、10.4MΩであった。

【0152】次にCRT用蛍光体P22をR、G、BをBS間にストライプ状に15μm厚で塗布、焼成した。続いてA1メタルバックを形成した。（アクリル系の樹脂をディッピングで形成後1000オングストロームのA1蒸着、焼成する。）本フェースプレートは約16：9の表示エリアをもっている。

【0153】左右から320個目の縦のブラックストライプにそって2本A1側からレーザ加工によりA1膜を分離することにより目的のフェースプレートを得た。リアプレートは2556×480のSCE電子放出素子を形成した。

【0154】電子放出素子とRGB蛍光体が対向するようにフェースプレートとリアプレートをアライメントし封着した。フェースプレートとリアプレート間隔は3mmとし高電圧Va；8kVを印加した。線順次駆動はTVレートで1ライン30μsecでスクロールした。

【0155】全面を発光させCCDで計測したところ抵抗値のバラツキと同様に一番抵抗値の高い抵抗が接続された取り出し電極高圧を供給する分割された加速電極に対応した面の輝度が暗かったが、高圧電源の出力を調整し駆動したところ分割電極に対応した輝度差は計測誤差以内にすることが出来た。

【0156】リアプレート、フェースプレート間の放電

は外部回路の測定及び蛍光体の輝点をCCDにより検出することにより駆動初期は～5回／時間程度観測されたが、リアプレート側の素子劣化は認められなかった。また、NTSC画像等の4：3の縦横比率を画面中央に出す場合に外側の領域の高圧を0.3kV落としたところ放電回数が減り～2回／時間程度観測されたが、高圧を落とした領域では放電は観測されなかった。また放電による画素の輝度の劣化は認められなかった。

【0157】〔実施例9〕

本実施例ではリアプレートのマルチ電子源はマトリクス配線されたSCE電子源である。この電子源は共通配線単位の1500素子ごとに線順次駆動される。放出点は1500×500である。

【0158】一方、図21に示すように、フェースプレートは、ガラス基板2101に2分割されたITO膜2102を形成、取り出し電極103を形成し10kΩの外付け抵抗（不図示）を介し高電圧を印加出来るようにした。

【0159】次にITO上に縦横に絶縁性ブラックストライプを幅100μm、ピッチ230μm、厚み10μmと印刷した（不図示）。次にCRT用蛍光体P22に導電性を付加したもの（In₂O₃添加、比抵抗～10⁹Ωcm）各色R、G、BをBS間にストライプ状に10μm厚で塗布、焼成した（2103）。続いてA1のメタルバックを施した（2104）。（アクリル系の樹脂をディッピングで形成後1000オングストロームのA1を蒸着、焼成する。）A1メタルバック形成後BS上に沿ってレーザ加工しA1膜を分離することで冷陰極マルチ電子源（リアプレート）に対して陽極高電圧を印加するカラーフェースプレートとした。

【0160】図22に本実施例のフェースプレートの模式的な断面図を示す。

【0161】ガラス基板2201、ITO膜2202、ブラックストライプ2203、蛍光体2204、メタルバック2205である。画素ごとのメタルバックはブラックストライプと蛍光体の抵抗で絶縁分離されており放電時の電流は1画素分の大きさのメタルバックの容量成分にたまるわずかな電荷で決まる電流は流れてしまうが電源から供給される分は蛍光体の抵抗及び外付け抵抗で制限されるので素子破壊にいたるような電流は流れない。導電性のない蛍光体を用いたフェースプレートも作製したが、帯電により若干の輝度低下が見られたが放電時の電流抑制の効果は同様であった。

【0162】リアプレートとフェースプレートは電子放出素子とRGB蛍光体が対向するようにアライメントし封着した。フェースプレートとリアプレート間隔は3mmとし高電圧Va；8kVを印加した。線順次駆動はTVレートで1ライン30μsecでスクロールした。リアプレート、フェースプレート間の放電は外部回路の測定及び蛍光体の輝点をCCDにより検出することにより

駆動初期は～8回/時間程度観測されたが、画素の大幅な輝度劣化は認められなかった。比較のため試作したフェースプレートのメタルバックを分離しない場合は放電に因る縦、横の配線に沿って画素の大幅な輝度劣化が認められた。

【0163】【実施例10】

本実施例ではリアプレートのマルチ電子源はマトリックス配線されたSCE電子源である。この電子源は共通配線単位の2556素子ごとに線順次駆動される。放出点は2556×480である。

【0164】一方、フェースプレート構造の部分拡大図を図23に示す。

【0165】フェースプレートを構成するガラス基板2301上にAgの取り出し配線2303を印刷した。絶縁性ブラックストライプ2305をスクリーン印刷した。横幅100μm、横ピッチ282μm、厚み10μmとした。高抵抗体としてRuO₂を印刷した(2302)。抵抗値は幅100μm、長さ750μmであり100MΩであった。

【0166】次にCRT用蛍光体P22をR、G、BをBS間にマトリクス状に15μm厚で塗布、焼成した。続いてA1メタルバックを形成した(2304)。(アクリル系の樹脂をディッピングで形成後1000オングストロームのA1を蒸着、焼成する。)ブラックストライプにそってA1側からレーザ加工によりA1膜を分離する。

【0167】次に走査ラインに垂直に2分割することにより図24に示す様な目的のフェースプレートを得た。図24はフェースプレートとリアプレートを重ね合せた図である。すなわち、それぞれの電子放出素子に対応した幅で加速電極であるメタルバックがストライプ状に分離されたフェースプレートである。

【0168】リアプレートの共通配線v001、v002、…とフェースプレートの分離されたアルミのメタルバック2304とが図の通り、直交(交差)するよう配置した。

【0169】表示パネルの配線は、端子Dx1からDxm(m=2556)及びDy1からDyn(n=480)を介して外部の電気回路と接続されている。走査回路2306の出力はそれぞれリアプレートの端子Dy1からDynに接続され共通配線v001、v002を1ライン30μsec、60Hzでスクロールし駆動する。

【0170】走査回路2306について説明する。同回路は、内部にn個のスイッチング素子を備えるもので、各スイッチング素子は、図示せぬ直流電圧源の2つの出力電圧VsもしくはVs_nのいずれか一方を選択し、表示パネルの端子Dy1ないしDy_nと電気的に接続するものである。各スイッチング素子は、タイミング信号発生回路2607が出力する制御信号Ts_{can}にもとづ

いて出力が電位VsとVs_nの2値間で切り換えられる。

【0171】次に、入力された画像信号の流れについて図26を用いて説明する。

【0172】入力されたコンポジット画像信号をデコーダで3原色の輝度信号及び水平、垂直同期信号(HSYNC, VSYNC)に分離する。タイミング信号発生回路2607ではHSYNC, VSYNC信号に同期した各種タイミング信号を発生させる。

10 【0173】画像データ(輝度データ)はシフトレジスタ2608に入力される。シフトレジスタ2608は、時系列的にシリアルに入力される画像データを、画像の1ラインを単位としてシリアル/パラレル変換するためのもので、前記制御回路2607より入力される制御信号(シフトクロック)Tsftに基づいて動作する。パラレル信号に変換された画像1ライン分のデータ(電子放出素子N素子分の駆動データに相当する)は、Idl～Idnの並列信号としてラッチ回路2609に対して出力される。

20 【0174】ラッチ回路2609は、画像1ライン分のデータを必要時間の間だけ記憶するための記憶回路であり、制御回路2607より送られる制御信号Tmryに従ってIdl～Idnを同時に記憶する。記憶されたデータは、I'dl～I'dnとしてパルス幅変調回路2610に対して出力される。

【0175】パルス幅変調回路2610は、前記画像データI'dl～I'dnに応じて一定の波高値の電圧パルスを発生するが、入力されるデータに対応する電圧パルスの長さを変調するパルス幅変調方式の回路を用いる。

30 【0176】パルス幅変調回路2610で画像信号強度に対応したパルス幅を持つドライブパルスをI"dl～I"dnとして出力する。より具体的には、画像データの輝度レベルが大きい程幅の広い電圧パルスを出力するもので、例えば波高値として7.5[V]、最高輝度に対して30[μsec]の電圧パルスを出力するものである。上記出力信号I"dl～I"dnは、表示パネル101の端子Dy1～Dymに印加される。

【0177】電圧出力パルスが供給されたパネルでは走査回路が選択した行に接続された表面伝導型放出素子のみが供給されたパルス幅に応じた期間だけ電子を放出する。

【0178】フェースプレートとリアプレートとの間に高電圧Va;5kVを印加した状態では電子が加速され蛍光体が発光する。走査回路が選択する行を順次走査することで2次元画像が形成される。

【0179】リアプレート、フェースプレート間の放電は外部回路の測定及び蛍光体の輝点をCCDにより検出することにより3回/時間程度観測されたが、リアプレート側の素子劣化は認められなかった。比較のため試作したフェースプレートのITOを分離しない(図4)場

合は放電に因る素子劣化が横、縦の配線に沿って認められた。

【0180】また、1つの分割された加速電極に対応して配置されているR、G、Bそれぞれの素子は同一の入力信号に対して他の素子の点灯の有無によらず一定の輝度値を示していた。例えばRに240の指示値を与えた状態でG、Bそれぞれの素子の発光を変化させた時もRの輝度は変化しなかった。

【0181】[実施例11]

本実施例では実施例1と同様なリアプレートをを用いる。

【0182】一方、フェースプレートに関しては図27に示すようにITO膜の分離のピッチを変更し $230 \times 5 \mu\text{m}$ ピッチに分離し、片側を $100\text{M}\Omega$ の抵抗体（パターンニングしたNiO膜（102））を介して束ねて高電圧を印加出来るようにした。また上記の高抵抗膜の個々の精度に関しては特に注意を払わずに作製した。

【0183】このとき $100\text{M}\Omega$ の抵抗体の抵抗値は5%程度のバラツキを持っていた。

【0184】次に分離したITO上に蛍光体ZnS（Cuドーブ）を塗布焼成し冷陰極マルチ電子源（リアプレート）に対して陽極高電圧を印加するフェースプレートとした。

【0185】本実施例では、分割した電極領域毎の特性の差を、各電極領域に電子を放出する電子放出素子の駆動条件を制御することによって、より望ましい状態に補正している。より具体的には、特性の差を少なくするように補正している。電極領域毎の特性の差とは、例えば各領域毎の発光状態の違いなどによって顕われる。電子放出素子の駆動条件の制御は、例えば電子放出素子への印加電圧や、パルス幅変調する際の電圧印加時間等の印加信号波形を制御することによって実現することが出来る。

【0186】本実施例ではリアプレートの変調配線の駆動回路の5ライン毎に駆動電流値を設定出来るROM2711を配置しパネル作製後、同条件で全面を発光させCCDで計測したところ抵抗値のバラツキと同様な5%程度のバラツキがあったため、補正値をROMに書き込み駆動したところ分割電極に対応した輝度バラツキは計測誤差以内にすることが出来た。

【0187】図27の取り出し部103とリアプレート間2mmに高電圧 V_a ；5kVを印加した。線順次駆動はTVレートで1ライン $30 \mu\text{sec}$ でスクロールした。リアプレート、フェースプレート間の放電は外部回路の測定及び蛍光体の輝点をCCDにより検出することにより2回/時間程度観測されたが、画素の輝度の大幅な劣化は認められなかった。

【0188】[実施例12]

本実施例では実施例1と同様だが走査配線と信号配線の上下関係を逆にしたリアプレートを用いる。一方、図1に示すように、フェースプレートは、ガラス基板に23

$0 \times 3 \mu\text{m}$ ピッチ（1000ライン分）で絶縁性ブラックストライプを印刷、パターンニングした RuO_2 膜（ $2.6\text{M}\Omega$ の抵抗体）を作製する。

【0189】次に分離したブラックストライプ間に各色RGB蛍光体（P22）を周期的に塗布焼成した。A1メタルバック形成後BS上に沿って2本おきにレーザ加工しA1メタルバックも分離し、後述する冷陰極マルチ電子源（リアプレート）に対して陽極高電圧を印加するカラーフェースプレートとした。すなわち、1画素RGBの3つの電子放出素子に対応した幅でメタルバックが分離配置されたフェースプレートである。

【0190】リアプレートの共通配線 $v001$ 、 $v002$ 、…とフェースプレートの分離メタルバック膜とは交差（直交）するよう配置した。図28にリアプレートの平面図を示す。

【0191】スペーサ2815は、リアプレート側では列方向配線上に、フェースプレート側では分離したメタルバック面上に複数のメタルバックにまたがらないように、導電性のフィラーあるいは金属等の導電材を混合した導電性フリットガラス（不図示）を介して配置し、上記気密容器の封着と同時に、大気中で 400°C 乃至 500°C で10分以上焼成することで、接着しかつ電気的な接続も行った。

【0192】線順次駆動はTVレートで1ライン $30 \mu\text{sec}$ でスクロールし出力パルスが供給されたパネルでは走査回路が選択した行に接続された表面伝導型放出素子のみが供給されたパルス幅に応じた期間だけ電子を放出する。フェースプレートとリアプレートとの間に高電圧 V_a ；5kVを印加した状態で電子が加速され蛍光体が発光する。走査回路が選択する行を順次走査することで2次元画像が形成される。

【0193】リアプレート、フェースプレート間の放電は外部回路の測定及び蛍光体の輝点をCCDにより検出することにより3回/時間程度観測されたが、画素の輝度の大幅な劣化は認められなかった。また、1つの分割された加速電極に対応して配置されているR、G、Bそれぞれの素子は同一の入力信号に対して他の素子の点灯の有無によらずに一定の輝度値を示していた。例えばRに240の指示値を与えた状態でG、Bそれぞれの素子の発光を変化させた時もRの輝度は変化しなかった。

【0194】また比較のため試作したフェースプレートの高抵抗体としては RuO_2 の抵抗値を $5\text{M}\Omega$ のものを作製すると放電に対する特性は向上したが、表示画像によっては分離したメタルバックごとの輝度差が目視で確認出来る場合があった。

【0195】[実施例13]

本実施例にかかわる基本的な画像形成装置の構成は、図29、図30と同様であり、全体の概観図を図31に示した。図31中、図29、図30に示した部位と同じ部位には同じ符号を付している。本発明に係わる画像形成

装置の電子源の製造法は図32に、スペーサの製造法は図33に、フェースプレートの構成図を図34に示している。

【0196】以下、図32、図33及び図34を用いて、本発明に係わる画像形成装置の基本的な構成及び製造法を説明する。図32は簡便のため、少数の電子放出素子近傍の製造工程を拡大して示しているが、本実施例は、多数の表面伝導電子放出素子を単純マトリクス配置した画像形成装置の例である。

【0197】工程-a

洗浄した青板ガラス基板に、オフセット印刷法により素子電極6a、6bを形成する。ここで使用した厚膜ペースト材料は、MODペーストで金属成分はPtである。印刷後70℃で10分乾燥し、次に本焼成を行う。焼成温度は550℃で、ピーク保持時間は約8分である。印刷・焼成後の膜厚は～0.3μmであった。

【0198】工程-b

次に、厚膜スクリーン印刷法により電極配線層（信号側）7aを形成する。ペースト材料は、ノリタケカンパニー製Ag含有厚膜ペーストNP-4035CAを使用した。焼成温度は400℃で、ピーク保持時間約13分である。印刷・焼成後の膜厚は～7μmであった。

【0199】工程-c

次に、厚膜スクリーン印刷法により層間絶縁層14を形成する。ペースト材料は、PbOを主成分としてガラスバインダーを混合したものである。焼成温度は480℃で、ピーク保持時間は約13分である。印刷・焼成後の膜厚は～36μmであった。また、通常、絶縁層は上下層間の絶縁性を確保するために、印刷・焼成を3回づつ行う。厚膜ペーストにより形成される膜は通常ポーラスな膜であるため、複数回印刷・焼成を繰り返すことで膜のポーラス状態を埋め込み、絶縁性を確保するのである。

【0200】工程-d

次に、厚膜スクリーン印刷法により電極配線層（走査側）7b走査側配線層を形成する。ペースト材料は、ノリタケカンパニー製Ag含有厚膜ペーストNP-4035CAを使用した。焼成温度は400℃で、ピーク保持時間は約13分である。印刷・焼成後の膜厚は～11μmであった。

【0201】以上の工程にてマトリクス配線が完成する。

【0202】工程-e

本工程に係わる電子放出素子の導電性薄膜31のマスクは、素子電極6a、6bにまたがって開口を有するマスクであり、このマスクにより膜厚100nmのCr膜を真空蒸着により堆積・パターンニングし、そのうえに有機Pd(ccp4230 奥野製薬(株)社製)をスピナーにより回転塗布、300℃で10分間の加熱焼成処理をする。また、こうして形成された主元素としてPd

よりなる微粒子からなる導電性薄膜31の膜厚は10nm、表面抵抗値は $5 \times 10^4 \Omega/\square$ であった。

【0203】Cr膜及び焼成後の導電性薄膜31を酸エッチャントによりエッチングして所望のパターンを形成する。

【0204】工程-f

次に本発明のスペーサを作製する。

【0205】まず、清浄化したソーダライムガラスからなる絶縁性基板（高さ3.8mm、板厚200μm、長さ20mm）上に、Naブロック層として窒化シリコン膜を0.5μm成膜し、その上にCrとAlの窒化膜を真空成膜法により成膜した。本実施例で用いたCrとAlの窒化膜はスパッタリング装置を用いてアルゴンと窒素混合雰囲気中でCrとAlのターゲットを同時スパッタする事により成膜した。それぞれのターゲットにかかる電力を変化することにより組成の調節を行い、最適の抵抗値を得た。基板は室温で、アースに接地されている。作製したCrとAlの窒化膜は、膜厚が200nm、比抵抗が $2.4 \times 10^5 \Omega \text{cm}$ [表面抵抗で $1.2 \times 10^{10} \Omega$]であった。また、本材料の抵抗温度係数は-0.5%であり、Va=5kVにおいても熱暴走はみられなかった。

【0206】つづいて、リアプレートにおけるX方向配線及びフェースプレートにおける分割アノード電極との接続を確実にするために、マスクを用いた真空蒸着法により、Alからなる接触電極12を設ける。

【0207】リアプレート側、すなわちX方向配線と接続する側の帯状接触電極の高さは $H^* = 50 \mu\text{m}$ 、またフェースプレート側、すなわち分割アノード電極と接続する側の島状接触電極の高さは $H = 50 \mu\text{m}$ 、幅は $L_c = 40 \mu\text{m}$ 、ピッチは $P_c = 145 \mu\text{m} (= (P_x / 2) = (P_a / 2))$ であった。このとき、フェースプレートにおける分割アノード電極を構成する透明電極の幅は $L_a = 240 \mu\text{m}$ 、ピッチは $P_a = 290 \mu\text{m}$ であり、島状接触電極が複数の分割アノードラインを短絡しない条件、島状接触電極あるいはリアプレート側の帯状接触電極によって素子間で許容できない輝点のバラツキが生じるような電界ムラを生じない条件を満足している。

【0208】工程-g

次に電極配線7b上に導電性フリットを塗布し、仮焼成を行う。導電フリットは、導電性フィラーとフリットガラスの混合粉末をテルピネオール/エルバサイト溶液とともに攪拌・混合して作製し、ディスペンサーにより塗布した。導電フリットの粘性によりディスペンサー塗布条件も異なるが、口径175μmのノズルを使用して室温で塗布した場合の条件は、吐出圧は2.0kgf/cm²、ノズル配線間ギャップ150μmであり、このとき塗布幅は～150μmであった。

【0209】仮焼成とは、有機溶媒と樹脂バインダーか

らなるビヒクル成分を揮散、燃焼させる工程をいい、フリットガラスの軟化点温度より低い温度で、大気中あるいは窒素雰囲気中で焼成される。

【0210】工程-h

次に不図示の姿穴治具を用いて位置合わせしながら、大気中あるいは窒素雰囲気中で410℃10分焼成することにより、スペーサーとリアプレートとを接続する。

【0211】工程-i

以上のようにして形成したリアプレート1及びスペーサー3に、外枠13を配置する。このとき、リアプレート1と外枠13の接合部にはあらかじめフリットガラスを塗布してある。フェースプレート2（ガラス基板8の内面に蛍光膜10とメタルバックが形成されて構成される）は外枠13を介して配置するが、フェースプレート2と外枠13の接合部には、あらかじめフリットガラスをそれぞれ塗布しておく。リアプレート1、外枠13、フェースプレート2を貼り合わせたものを、はじめ、大気中で100℃で10分間保持し、その後、300℃まで昇温し、300℃で1時間保持して、更に400℃まで昇温し、10分間焼成することで封着する。

【0212】図34におけるフェースプレートは、酸化ルテニウム（ RuO_2 ）、硼珪酸ガラス等からなる圧膜抵抗体の100M Ω の電流制限抵抗を介して共通接続された複数の分割アノード電極が配置され、その上に不図示の蛍光膜が配置された構成を取っている。分割アノード電極は、フォトリソグラフィによって、幅が $L_a = 240\mu\text{m}$ 、ピッチが $P_a = 290\mu\text{m}$ でパターンニングされている。

【0213】なお、蛍光膜は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状を採用し、先に分割アノード電極を電氣的に短絡しない配置でブラックストライプを形成し、その間隙部に各色蛍光体を塗布したものをを用いる。ブラックストライプの材料としては通常良く用いられている黒鉛を主成分とする材料を用いている。ガラス基板8に蛍光体を塗布する方法はスラリー法を用いた。

【0214】また、蛍光膜の内面側にはメタルバックを形成した。メタルバックは、蛍光膜作製後に蛍光膜の内面側表面の平滑化処理（通常フィルミングと呼ばれる）を行ない、その後Alを真空蒸着することで作製している。さらに、べた膜として形成したメタルバックは、分割アノード間に形成したブラックストライプに沿ってNb:YAGレーザー（532nm）を照射して切断することにより、電氣的な短絡を回避した。このとき、分割したメタルバック間隔はほぼ透明電極間隔に等しく $\sim 50\mu\text{m}$ であった。

【0215】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0216】以上のようにして完成したガラス容器内の

雰囲気（図示せず）を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dx o 1ないしD o x mとD o y 1ないしD o y nを通じ電子放出素子5の電極6 a, 6 b間に電圧を印加し、導電性薄膜31をフォーミング処理することにより電子放出部32を形成する。さらに、パネルの排気管よりトルエンをスローリークバルブを通してパネル内に導入し、 $1.0 \times 10^{-5} \text{ torr}$ の雰囲気下で全ての電子放出素子5を駆動し、活性化処理を行う。

【0217】次に $1.0 \times 10^{-6} \text{ torr}$ 程度の真空度まで排気し、不図示の排気管をガスバーナーで熱することで溶着し外囲器の封止を行う。

【0218】最後に封止後の真空度を維持するために、高周波加熱法でゲッター処理を行う。

【0219】以上のように完成した本実施例の画像表示装置において、各電子放出素子には、容器外端子Dx 1ないしD x m、Dy 1ないしD y nを通じ、走査信号及び変調信号を不図示の信号発生手段よりそれぞれ印加することにより電子放出させ、高圧端子Hvを通じて透明電極に高電圧Vaを印加し、電子ビームを加速し、蛍光膜10に衝突させ、励起・発光させることで画像を表示することができる。

【0220】本実施例の画像形成装置においては、高電圧Va = 5.5 kVで安定に駆動することができ、高輝度で歪みがない、均一で鮮明な表示画像を得ることが可能で、さらにフェースーリアプレート間で放電が起きた際でも画素の輝度劣化のない、高寿命の画像形成装置を作製できた。

【0221】[実施例14]

本実施例では、工程-f以外は実施例13と同様である。

【0222】工程-f

次に本発明のスペーサーを作製する。

【0223】まず、清浄化したソーダライムガラスからなる絶縁性基板（高さ3.8mm、板厚200 μm 、長さ20mm）上に、好ましくはNaブロック層として窒化シリコン膜を0.5 μm 成膜し、その上にCrとAlの窒化膜を真空成膜法により成膜した。本実施例で用いたCrとAlの窒化膜はスパッタリング装置を用いてアルゴンと窒素混合雰囲気中でCrとAlのターゲットを同時スパッタする事により成膜した。それぞれのターゲットにかかる電力を変化することにより組成の調節を行い、最適の抵抗値を得た。基板は室温で、アースに接地されている。作製したCrとAlの窒化膜は、膜厚が200nm、比抵抗が $2.4 \times 10^5 \Omega \text{ cm}$ [表面抵抗で $1.2 \times 10^{10} \Omega$]であった。また、本材料の抵抗温度係数は-0.5%であり、Va = 5 kVにおいても熱暴走はみられなかった。

【0224】つづいて、リアプレートにおけるX方向配線及びフェースプレートにおける分割アノード電極との

接続を確実にするために、マスクを用いた真空蒸着法により、A1からなる接触電極12を設ける。

【0225】リアプレート側、すなわちX方向配線と接続する側の帯状接触電極の高さは $H^* = 50 \mu\text{m}$ 、またフェースプレート側、すなわち分割アノード電極と接続する側の島状接触電極の高さは $H = 50 \mu\text{m}$ 、幅は $L_c = 40 \mu\text{m}$ 、ピッチは $P_c = 290 \mu\text{m}$ ($= P_x = (P_a / 5)$) であった。このとき、フェースプレートにおける分割アノード電極を構成する電極の幅は $L_a = 1400 \mu\text{m}$ 、ピッチは $P_a = 1450 \mu\text{m}$ であり、島状接触電極が複数の分割アノードラインを短絡しない条件、島状接触電極あるいはリアプレート側の帯状接触電極によって素子間で輝点のバラツキが生じるような電界ムラが生じない条件を満足している。

【0226】フェースプレートにおける蛍光膜は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状を採用し、先にピッチ $1450 \mu\text{m}$ 、幅 $50 \mu\text{m}$ の絶縁性のブラックストライプを形成し、その間隙部に各色蛍光体を塗布したものをを用いる。ガラス基板8に蛍光体を塗布する方法はスラリー法を用いた。また、酸化ルテニウム (RuO_2)、硼珪酸ガラス等からなる圧膜抵抗体の $20 \text{M}\Omega$ の電流制限抵抗を配置し、さらにメタルバックを形成した。メタルバックは、蛍光膜作製後に蛍光膜の内面側表面の平滑化処理

(通常フィルミングと呼ばれる)を行い、その後A1を真空蒸着することで作製している。さらに、べた膜として形成したメタルバックは、ブラックストライプに沿ってNb:YAGレーザー (532nm) を照射、切断することにより、電気的な短絡を回避した。このとき、分割したメタルバック間隔は $50 \mu\text{m}$ であった。こうして、幅 $L_a = 1450 \mu\text{m}$ 、ピッチ $P_a = 1450 \mu\text{m}$ のメタルバックのみから構成される分割アノード電極を形成し、 $20 \text{M}\Omega$ の電流制限抵抗を介して、共通取り出しとしたフェースプレートを使用した。

【0227】以上のようにして完成したガラス容器内の雰囲気を排気管を通じ真空ポンプにて排気し、十分な真空度に達した後、実施例1と同様の手法でフォーミング処理、活性化処理を行う。

【0228】次に排気、封止を行った後、高周波加熱法でゲッター処理を行う。

【0229】以上のように完成した本実施例の画像表示装置において、各電子放出素子には、容器外端子 D_{x1} ないし D_{xm} 、 D_{y1} ないし D_{yn} を通じ、走査信号及び変調信号を不図示の信号発生手段よりそれぞれ印加することにより電子放出させ、高圧端子 H_v を通じて透明電極に高電圧 V_a を印加し、電子ビームを加速し、蛍光膜10に衝突させ、励起・発光させることで画像を表示することができる。

【0230】本実施例の画像形成装置においては、高電圧 $V_a = 5.0 \text{kV}$ で安定に駆動することができ、高輝

度で歪みがない、均一で鮮明な表示画像を得ることが可能で、さらにフェースーリアプレート間で放電が起きた際でも画素の輝度劣化のない、高寿命の画像形成装置を作製できた。

【0231】〔実施例13の比較例1〕

本比較例では、工程-f、g、h以外は実施例12と同様である。

【0232】工程-f

まず、清浄化したソーダライムガラスからなる絶縁性基板 (高さ 3.8mm 、板厚 $200 \mu\text{m}$ 、長さ 20mm) 上に、スパッタリング装置を用いて、Cr-A1の窒化膜を成膜する。

【0233】アルゴンと窒素混合雰囲気中でCrとA1のターゲットを同時スパッタする事により成膜した。それぞれのターゲットにかける電力を変化することにより組成の調節を行い、最適の抵抗値を得た。基板は室温で、アースに接地されている。作製したCrとA1の窒化膜は、膜厚が 200nm で比抵抗が $2.4 \times 10^5 \Omega \cdot \text{cm}$ [表面抵抗で $1.2 \times 10^{10} \Omega$] であった。

【0234】つづいて、リアプレートにおけるX方向配線及びフェースプレートにおける分割アノード電極との接続を確実にするために、マスクを用いた真空蒸着法により、A1からなる接触電極12を設ける。リアプレート側、すなわちX方向配線と接続する側の帯状接触電極の高さは $H' = 50 \mu\text{m}$ 、またフェースプレート側、すなわち分割アノード電極と接続する側の帯状接触電極の高さは $H = 200 \mu\text{m}$ であった。このとき、フェースプレートにおける分割アノード電極の幅は $L_a = 240 \mu\text{m}$ 、ピッチは $P_a = 290 \mu\text{m}$ で実施例13と同様であった。

【0235】工程-g

次に電極配線7b上に導電性フリットを塗布し、仮焼成を行う。導電フリットは、導電性フィラーとフリットガラスの混合粉末をテルピネオール/エルバサイト溶液とともに攪拌・混合して作製し、ディスペンサーにより塗布した。導電フリットの粘性によりディスペンサー塗布条件も異なるが、口径 $175 \mu\text{m}$ のノズルを使用して室温で塗布した場合の条件は、吐出圧は 2.0kgf/cm^2 、ノズル配線間ギャップ $150 \mu\text{m}$ であり、このとき塗布幅は $\sim 150 \mu\text{m}$ であった。

【0236】仮焼成とは、有機溶媒と樹脂バインダからなるビヒクル成分を揮散、燃焼させる工程をいい、フリットガラスの軟化点温度より低い温度で、大気中あるいは窒素雰囲気中で焼成される。

【0237】工程-h

次に不図示の姿穴治具を用いて位置合わせしながら、大気中あるいは窒素雰囲気中で 410°C 10分焼成することにより、スペーサーとリアプレートを接続する。この結果フェースプレート側の帯状接触電極によって複数の分割アノードラインが短絡してしまった。具体的には6

9本の分割アノードラインを短絡してしまい、実施例12と比較するとキャパシタンス、蓄積電荷量はアノード面積から換算して約100倍となってしまう。

【0238】以上のようにして形成したリアプレート1及びスペーサ3に、外枠13を配置する。このとき、リアプレート1と外枠13の接合部にはあらかじめフリットガラスを塗布してある。フェースプレート2（ガラス基板8の内面に蛍光膜10とメタルバックが形成されて構成される）は外枠13を介して配置するが、フェースプレート2と外枠13の接合部には、あらかじめフリットガラスをそれぞれ塗布しておく。リアプレート1、外枠13、フェースプレート2を貼り合わせたものを、はじめ、大気中で100℃で10分間保持し、その後、300℃まで昇温し、300℃で1時間保持して、更に400℃まで昇温し、10分間焼成することで封着する。

【0239】以上のようにして完成したガラス容器内の雰囲気は排気管を通じ真空ポンプにて排気し、十分な真空度に達した後、実施例13と同様の手法でフォーミング処理、活性化処理を行う。次に排気、封止を行った後、高周波加熱法でゲッター処理を行う。

【0240】以上のように完成した画像表示装置において、実施例13と同様、電子ビームを蛍光膜に衝突させ、励起・発光させることで画像を表示させた。

【0241】本比較例の画像形成装置においては、高電圧 V_a を5.2kVまで上げたところ、放電による素子破壊が観測されたので、 V_a を4.0kVまで下げて画像を評価したところ、輝度が低く、色表現も十分ではなかった。また、数分のうちに画像が乱れ、安定した表示が行なえなかった。

【0242】本比較例の画像形成装置においては、フェースーリアプレート間の放電による素子破壊が観測され、高輝度、高寿命の画像形成装置を作製することが困難であった。

【0243】〔実施例15〕

本実施例は、電子放出素子としてスピント型の電界放出型電子放出素子（FE）を用いた画像形成装置の例である。スピント型FEの作製は実施例6で用いたものを用いた。その電子放出素子を～2000個を1画素として1000×500素子の陰極側電子放出源を設けてリアプレートとした。フェースプレート及びスペーサに関しては、実施例12と同様のものを使用した。

【0244】フェースプレート、リアプレート間に $V_a = 600V$ の電圧を印加し、リアプレートはカソード配線、ゲート電極で選択的に必要画素を駆動、平面ディスプレイを実現した。

【0245】本実施例の画像形成装置においては、高電圧 $V_a = 600V$ で安定に駆動することができ、高輝度で歪みがない、均一で鮮明な表示画像を得ることが可能で、さらにフェースーリアプレート間で放電が起きた際でも素子、とくにゲート電極及びM ϕ 陰極先端部が破壊

されることがない、高寿命の画像形成装置を作製できた。

【0246】〔比較例2〕

本比較例では、電子放出素子としてスピント型の電界放出型電子放出素子（FE）を用いた実施例15に対する画像形成装置の例である。スペーサに関しては、比較例1と同様である。

【0247】本比較例の画像形成装置においては、フェースーリアプレート間の放電による素子破壊、とくにゲート電極及びM ϕ 陰極先端部の放電による劣化が顕著であり、具体的には放電により輝度が50%以下になった画素が20点見られ、高輝度、高寿命の画像形成装置を作製することが困難であった。

【0248】本実施例の画像形成装置においては、高電圧 $V_a = 600V$ で安定に駆動することができ、高輝度で歪みがない、均一で鮮明な表示画像を得ることが可能で、さらにフェースーリアプレート間で放電が起きた際でも素子、とくにゲート電極及びM ϕ 陰極先端部が破壊されることがない、高寿命の画像形成装置を作製できた。

【0249】〔実施例16〕

本実施例では、上記比較例のスペーサを用いる。

【0250】工程-g

次にフェースプレート分割電極配線上に導電性フリットと絶縁性フリットを組み合わせて（組み合わせかたは後に説明）塗布し仮焼成を行う。

【0251】図36に本実施例の導電性フリットと絶縁性フリットの組み合わせの仕方を説明する。

【0252】図36は仮焼成後のフェースプレートとスペーサの接合部分の拡大模式図である。3601はスペーサで接触電極3602が形成されている。導電性フリット3603で1箇所のメタルバック3605と電気的接続がなされ他のメタルバックとは絶縁性フリット3604で絶縁されている。フェースプレート側の接触電極とは良好な接触がなされているので帯電防止の機能が十分に働く構成となっている。また分割されたメタルバック間は絶縁されており、それぞれの容量もスペーサを配置しない場合と変化が無かった。簡単のためフェースプレート上の蛍光体、ブラックストライプ等は省略してある。

【0253】工程-h

次に不図示の姿穴治具を用いて位置合わせしながら、大気中あるいは窒素雰囲気中で410℃10分焼成することにより、スペーサーとフェースプレートを接続する。その後実施例13と工程iと同様に封着する。

【0254】以上のように完成した本実施例の画像表示装置において他の実施例と同じく駆動したところ高電圧 $V_a = 8kV$ で安定に駆動することができ、高輝度で歪みがない、均一で鮮明な表示画像を得ることが可能で、さらにフェースーリアプレート間で放電が起きた際でも

画素の輝度劣化のない、高寿命の画像形成装置が作製できた。

【0255】[実施例17]

本実施例では、実施例6と同様に、電子放出素子として電界放出型電子放出素子を用い、画面サイズ（蛍光体が形成された領域）が対角14インチのディスプレイを作成した。本実施例で作成した画像形成装置を図1、図25、37、38を用いて以下に説明する。

【0256】本実施例の画像形成装置では、蛍光体を形成したフェースプレートと、スピント型の電界放出型電子放出素子をマトリクス状に配列形成したリアプレートとの間に、耐大気圧支持のためのスペーサを配置した。

【0257】本実施例のフェースプレートの平面模式図は図1と同じである。

【0258】図25は本実施例で作成した画像形成装置の模式化した部分断面斜視図である。図25では説明のため、スペーサを省いてある。

【0259】図37は本実施例の画像形成装置のカソード配線2512と平行方向の断面模式図である。

【0260】図38は本実施例の画像形成装置のリアプレートの平面模式図であり、スペーサ2540が固定された状態を示している。

【0261】図1において、101は蛍光体が載置されたITOからなる分割アノード電極であり、102は100MΩの高抵抗膜（NiO膜）、105は共通電極、103は画像形成装置の外部に導出される高压端子である。

【0262】図25において、2510はガラスからなるリアプレート、2512はカソード配線（信号配線：Y方向）、2518は絶縁層、2516はゲート配線（走査配線：X方向）、2514はMoからなるエミッターチップであり、図37、38では簡略化して図示してあるが、ゲート配線とカソード配線の各交差部に約300個のエミッターチップが形成されている。各交差部のエミッタ群がフェースプレート上に形成された各色の蛍光体にそれぞれ対応している。101は導電性が付与された3原色の蛍光体（R、G、B）がそれぞれ載置されたアノード電極、2520は絶縁層、2522はガラスからなるフェースプレートである。本実施例では、図25に示すように、ゲート配線（走査配線：X方向）と分割されたアノード電極101の方向（Y方向）とが直交するようになっている。

【0263】また、図37、38に示す様に、本実施例の画像形成装置では、X方向にプレート状のスペーサ2540を配置している。つまり、カソード配線2512間、及び分割されたアノード電極101間をまたがってスペーサ2540を配置している。

【0264】本実施例で用いたスペーサ2540は図37、38に示す様に、放電を誘発する可能性のある鋭角な部分ができないよう角部を削って形状加工したガラス

板の表面にポリイミドの膜をコートした絶縁性のスペーサを用いている。絶縁性スペーサのフェースプレートとリアプレート間方向の高さは1mmであり、X方向の長さは4mmとした。このスペーサを図38に示すように、ゲート配線間に配置し、画像形成装置内の全面にわたってジグザグ状に配置してある。

【0265】本実施例の画像形成装置の製造方法を以下に記す。

【0266】本実施例のフェースプレートには実施例1と同様にフォトリソグラフィ法を用いて、100μmピッチに分割されたITO電極上に3原色（Red、Green、Blue）の導電性の付与された蛍光体をそれぞれ形成した（101）。

【0267】一方リアプレート側は、実施例6と同様にフォトリソグラフィ法を用いて、ゲート配線とカソード配線の各交差部に約300個のエミッターチップを形成した。尚、ゲート配線間ピッチを300μmとし、カソード配線間ピッチを100μmで形成した。

【0268】次に、ゲート配線2516間に前述の絶縁性スペーサを不図示のフリットによりリアプレート側に固定し、さらに、絶縁性スペーサのフェースプレート側の固定部にもフリットを塗布・仮焼成（フリットに含まれる有機物を加熱除去）した。

【0269】そして、スペーサを固定したリアプレートの外周部に、既に仮焼成したフリットが配置された枠部材（不図示）を載置した。

【0270】次に、以上の様にした作成したフェースプレート上の分割されたアノード電極101と、リアプレート上のカソード配線2512とが平行になるように位置決めし、高真空中で、フェースプレートとリアプレート間間隔方向に加圧しながら加熱および冷却することで、フリットによる封着を行い、内部が高真空中に維持された画像形成装置を作成した。

【0271】この様にして作成した電界放出型電子放出素子を用いた画像形成装置に不図示の駆動回路を接続し、アノード電極に3kVの高電圧を印加し、電子放出素子を駆動したが、放電と見られる発光は確認されなかった。

【0272】尚、本実施例では、絶縁性スペーサとして平板状のものを示したが、アノード電極あるいはカソード配線間隔未満の直径を有する公知の棒（ファイバー）状の絶縁性スペーサを用い、カソード配線間及びアノード電極間をまたがらないようにスペーサを配置した画像形成装置でも放電と見られる発光及び電子放出素子の破壊等も確認されなかった。

【0273】電子放出素子を設けた電子放出装置の構成例として、電子放出素子の電極や、電子放出素子への配線を電子放出素子が設けられた基板側の電極とし、該基板に対向する電極を分割する構成にした例を示した。本発明は、電圧を印加する様々な構成に適用可能である。

また、例えば平板対向型の表示装置には好適に採用しうる。また、対向する電極間に印加される高電圧がDC電圧又はDCに近い（若干の変調による電圧変動を含む）電圧が印加される構成に対しても特に有効である。

【0274】

【発明の効果】以上述べたように、本発明では、両極間での放電の影響を抑制することができる。より具体的に言えば、両極間の静電容量を実質的に小さくすることができる。

【0275】より具体的には、電圧印加装置としては、放電の際の放電量を少なくすることができ、また電子放出装置としては、放電による電子放出素子への影響を緩和でき、良好な耐久性、長寿命化を実現できる。

【図面の簡単な説明】

【図1】本発明の電子放出装置に用いるフェースプレートの一例を示す平面図である。

【図2】図1、図5のフェースプレートに蛍光体を塗布した状態を示す平面図である。

【図3】本発明の電子放出装置に用いるリアプレートの一例を示す平面図である。

【図4】従来例（比較例）のフェースプレートを示す平面図である。

【図5】図1のフェースプレートの変形例である。

【図6】表面型電子放出素子以外の冷陰極アレーの例（リアプレートの一部）を示す断面図である。

【図7】従来の電子放出装置の動作を説明するための等価回路図である。

【図8】本発明の電子放出装置の動作を説明するための等価回路図である。

【図9】従来の電子放出装置の動作を説明するための等価回路図である。

【図10】本発明の電子放出装置の動作を説明するための等価回路図である。

【図11】本発明のフェースプレートの別の例を示す図である。

【図12】表面型電子放出素子の概念図である。

【図13】表面伝導型放出素子の作製工程を示す図である。

【図14】フォーミング工程での電圧印加の例を示す図である。

【図15】A1メタルバックを具備した場合のフェースプレートの例を示す平面図である。

【図16】図15のフェースプレートの別の例を示す平面図及び断面図である。

【図17】本発明が適用される平面ディスプレイの典型例を示す図である。

【図18】蛍光膜の構成を示す図である。

【図19】電子放出装置を示す概念図である。

【図20】本発明の実施例8におけるフェースプレートの平面図である。

【図21】本発明の実施例9におけるフェースプレートの平面図である。

【図22】本発明の実施例9におけるフェースプレートの断面図である。

【図23】本発明の実施例10におけるフェースプレートの拡大図である。

【図24】本発明の実施例10におけるフェースプレートの平面図である。

【図25】本発明の実施例17における画像形成装置の概略構成図である。

【図26】本発明の実施例10におけるフェースプレートの平面図である。

【図27】本発明の実施例11におけるフェースプレートの平面図である。

【図28】リアプレートの平面図である。

【図29】本発明の画像形成装置の一例を示す概略構成図である。

【図30】本発明の画像形成装置の一例を示す断面図である。

【図31】本発明の実施例13に係わる画像形成装置の構成図である。

【図32】本発明の実施例13に係わる画像形成装置の電子源の製法図である。

【図33】本発明の実施例13に係わるスペーサの製法図である。

【図34】本発明の実施例13、14に係わるフェースプレートの構成図である。

【図35】本発明の比較例に係わるスペーサの製法図である。

【図36】本発明の実施例15に係わるスペーサの製法図である。

【図37】本発明の実施例17の画像形成装置の断面図である。

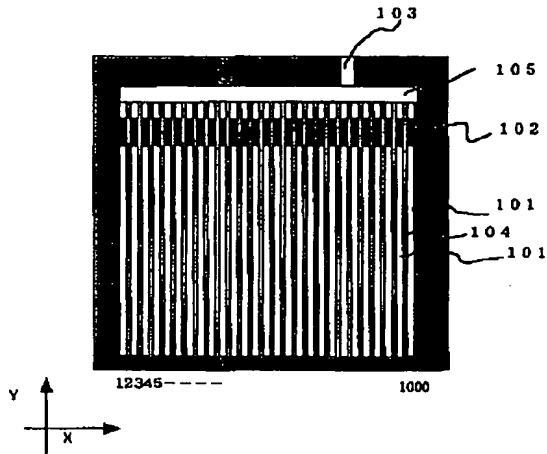
【図38】本発明の実施例17のリアプレートの平面図である。

【符号の説明】

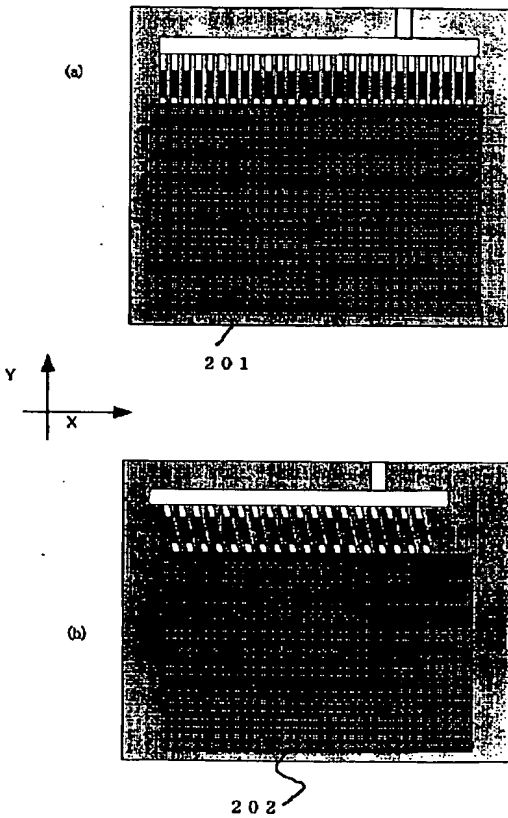
- 1 電子源基板（リアプレート）
- 2 陽極基板（フェースプレート）
- 3 スペーサ
- 4 ガラス基板
- 5 電子放出素子
- 6 a, 6 b 素子電極
- 7 a 配線電極（走査電極）
- 7 b 配線電極（信号電極）
- 8 基板
- 9 透明電極
- 10 蛍光体
- 11 帯電防止膜
- 12 接触電極
- 13 外枠

14 層間絶縁層
31 導電性薄膜

【図1】

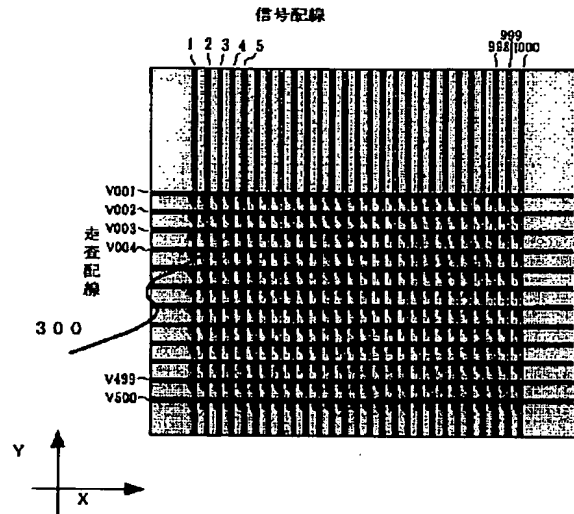


【図2】

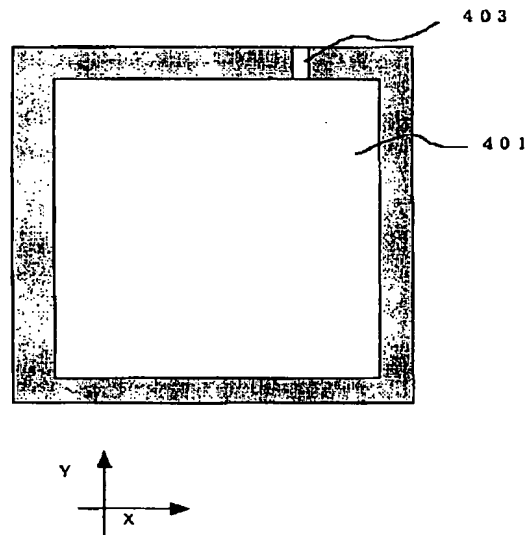


32 電子放出部

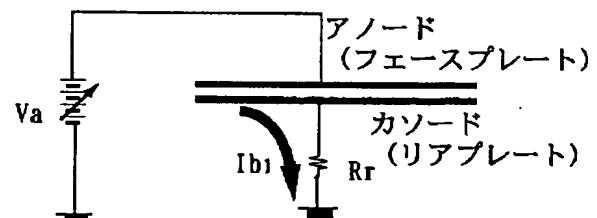
【図3】



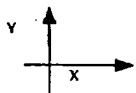
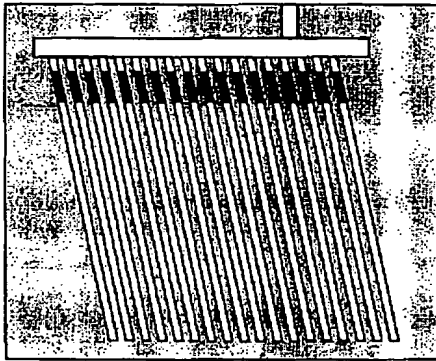
【図4】



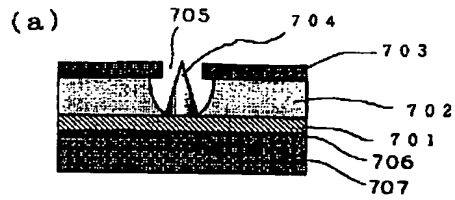
【図7】



【図5】



【図6】



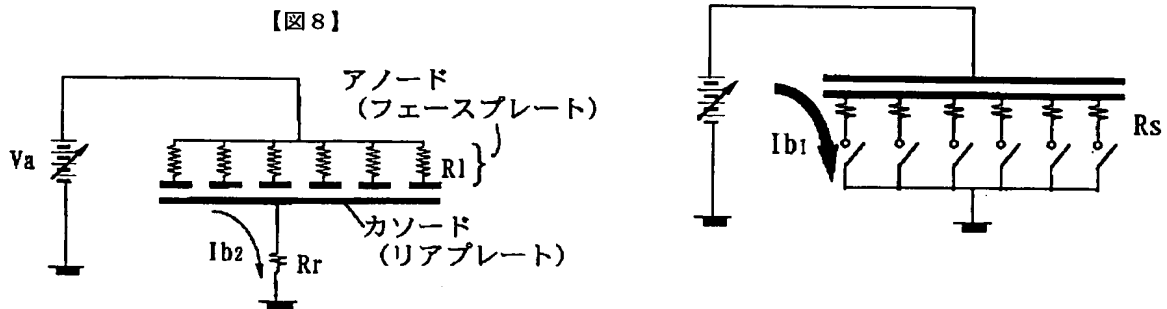
(b)



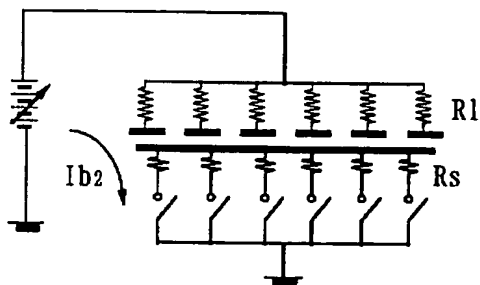
(c)



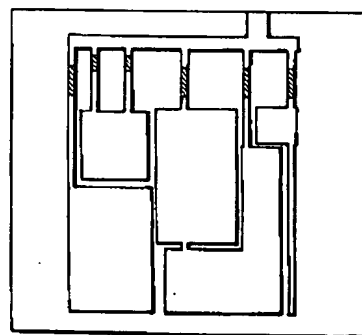
【図9】



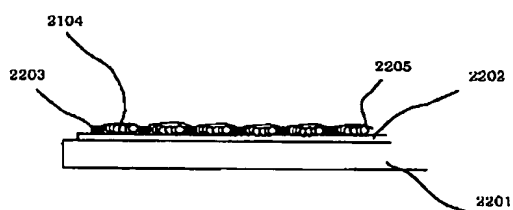
【図10】



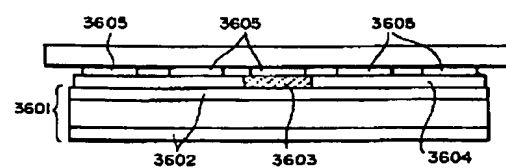
【図11】



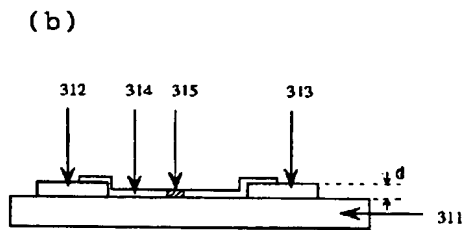
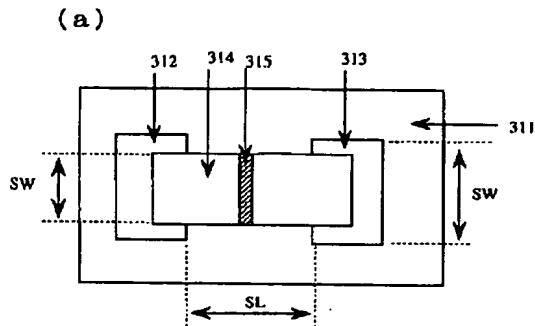
【図22】



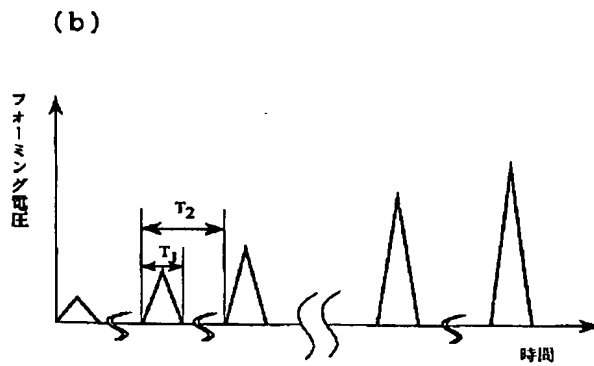
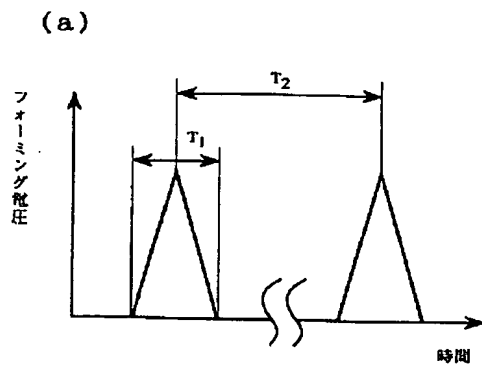
【図36】



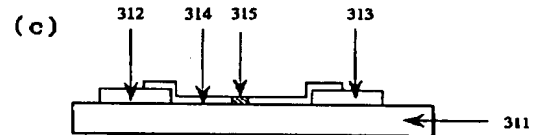
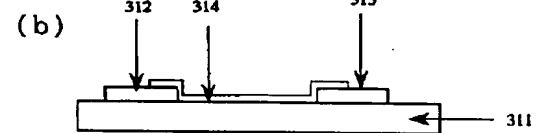
【図12】



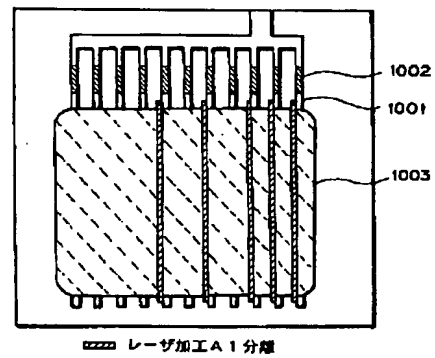
【図14】



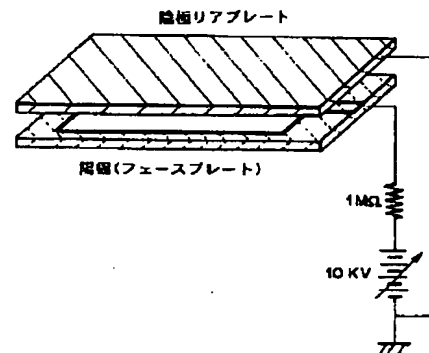
【図13】



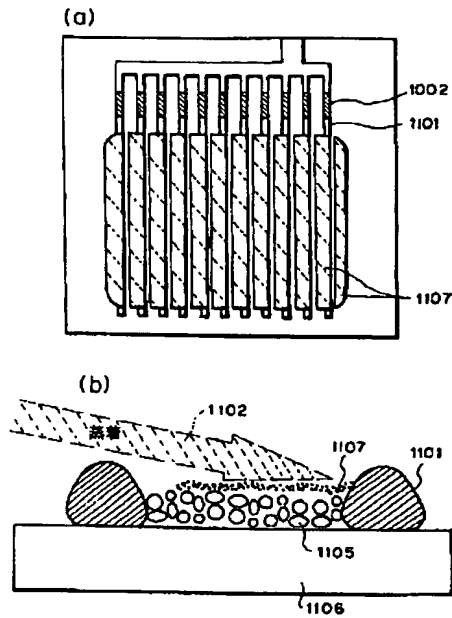
【図15】



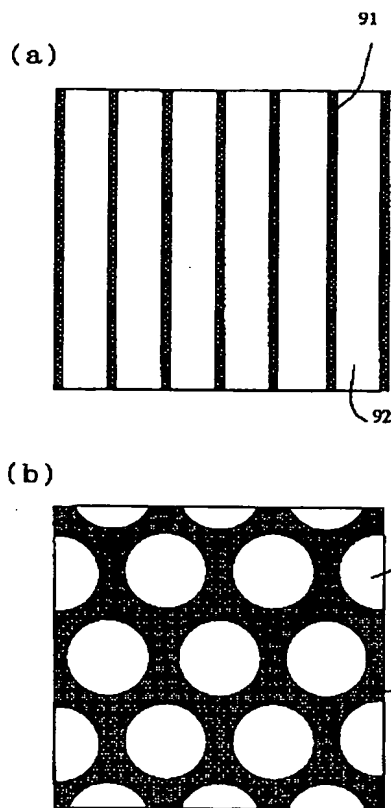
【図19】



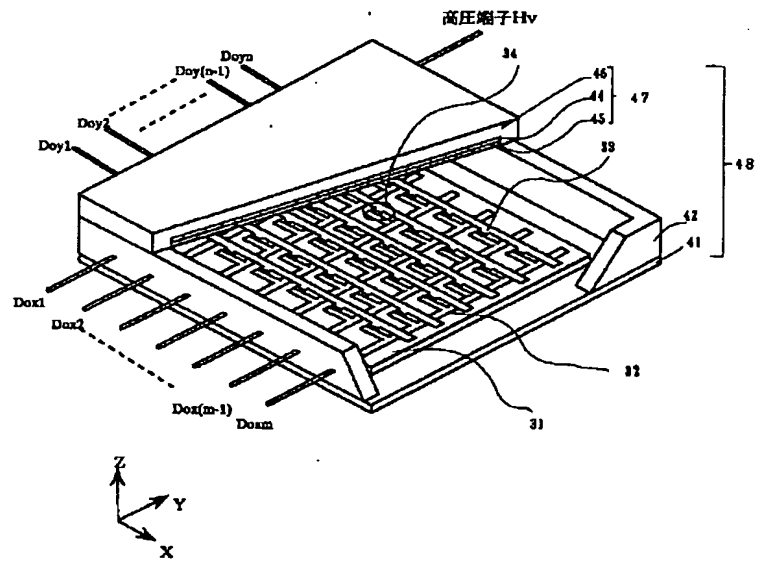
【図16】



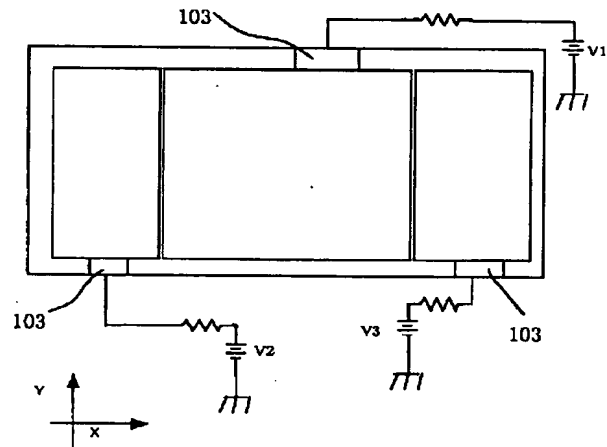
【図18】



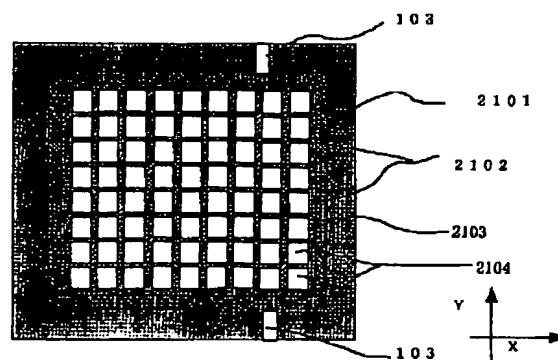
【図17】



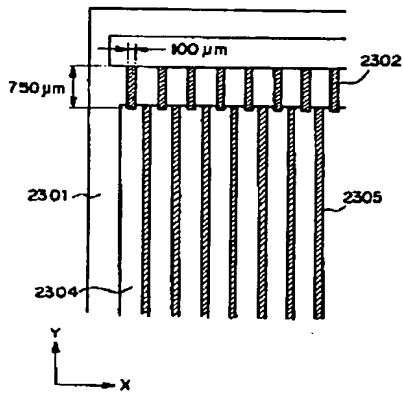
【図20】



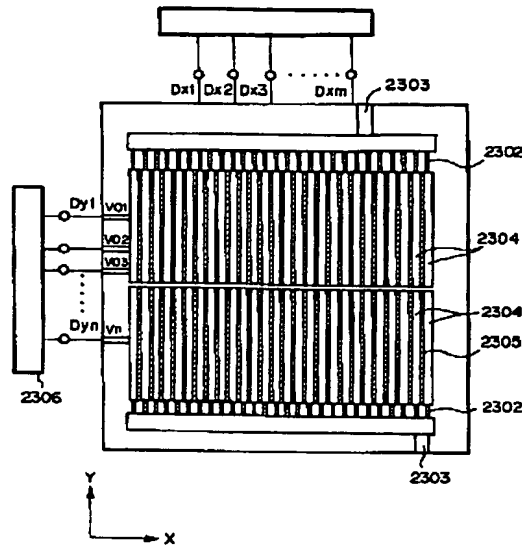
【図21】



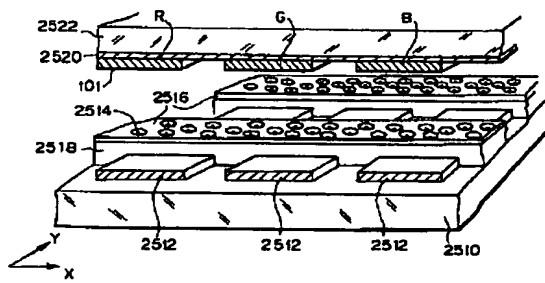
【図23】



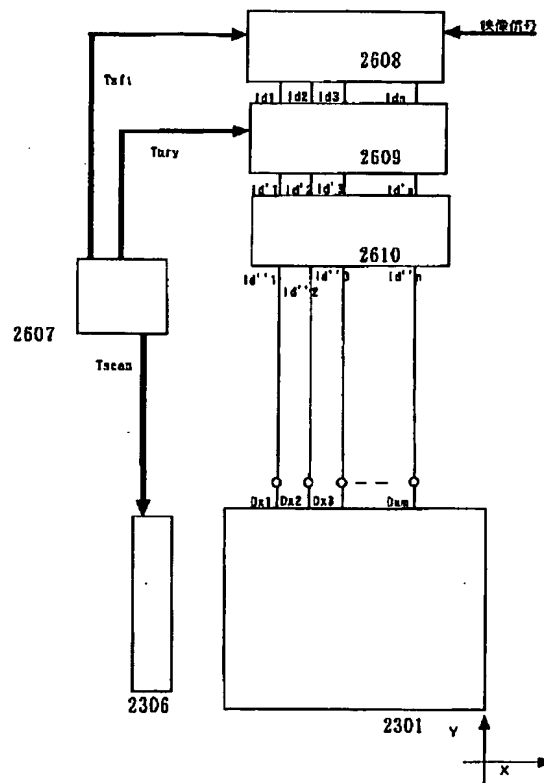
【図24】



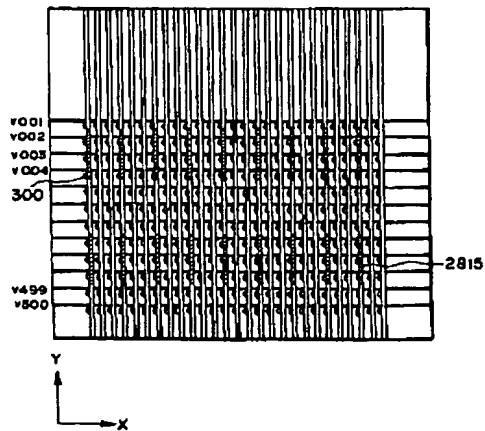
【図25】



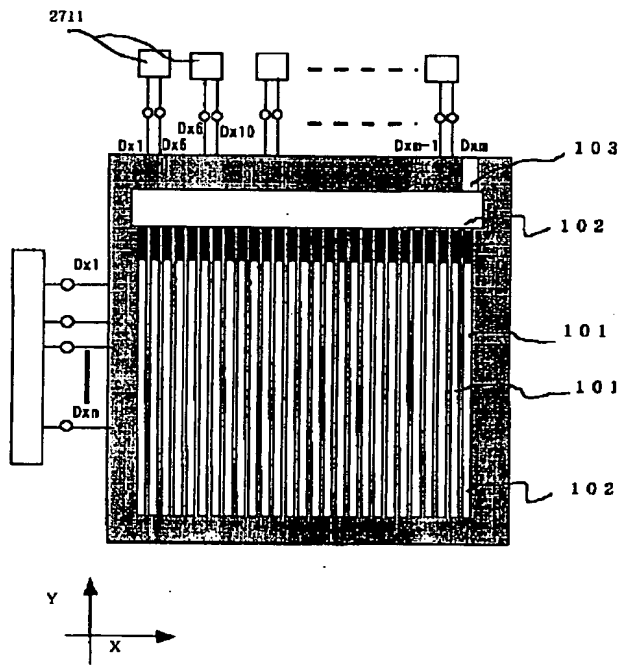
【図26】



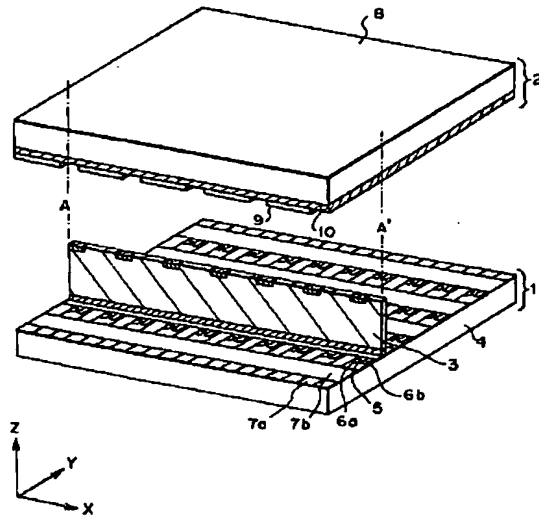
【図28】



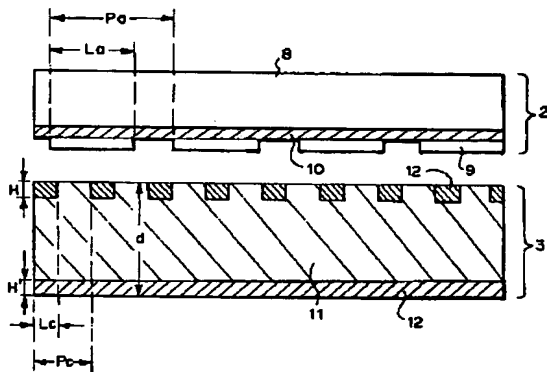
【図27】



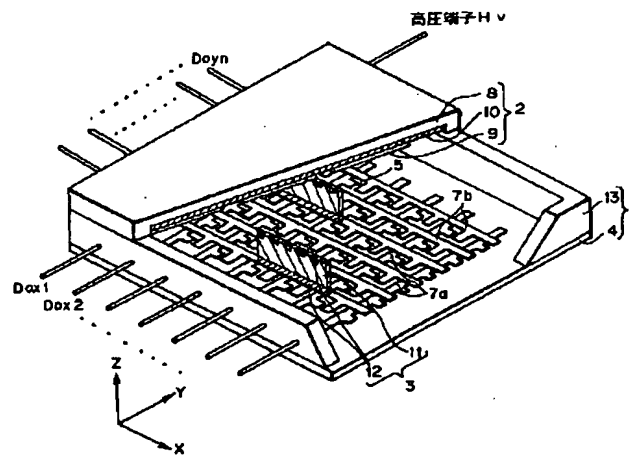
【図29】



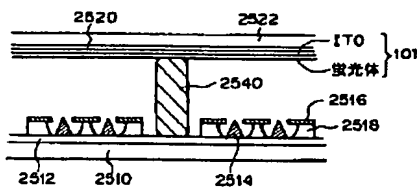
【図30】



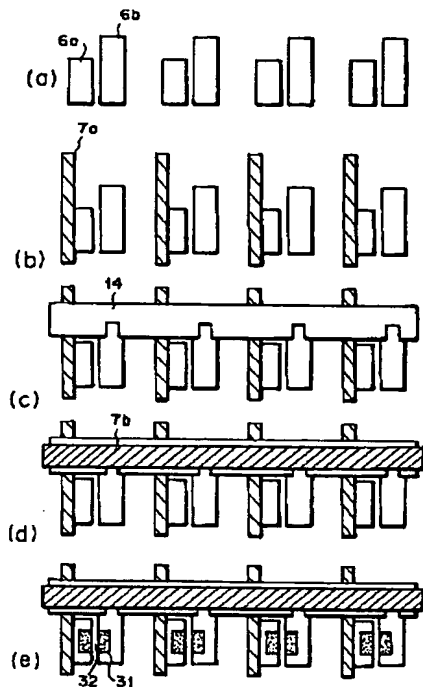
【図31】



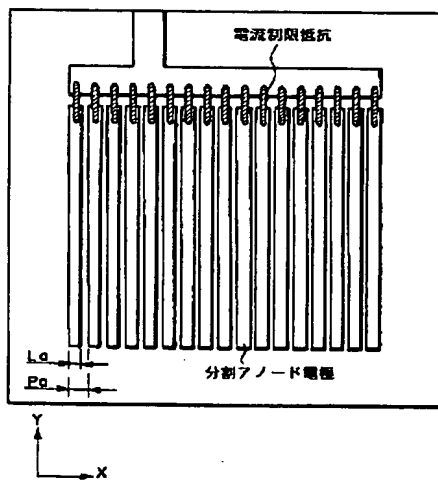
【図37】



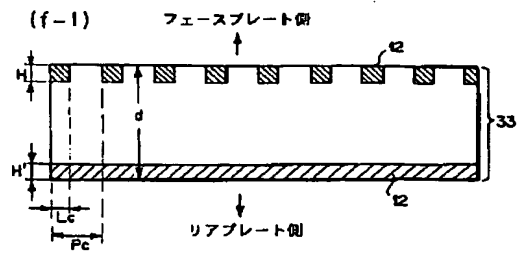
【図32】



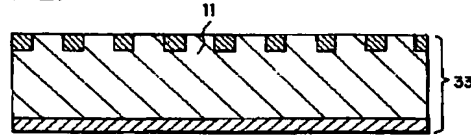
【図34】



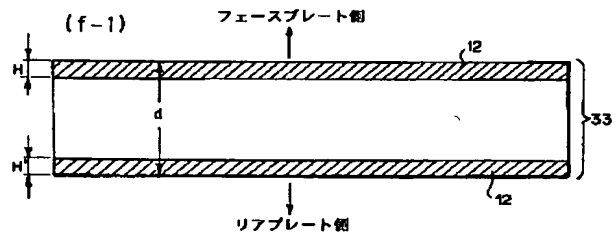
【図33】



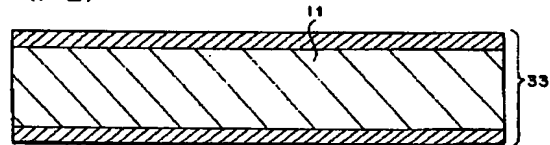
(f-2)



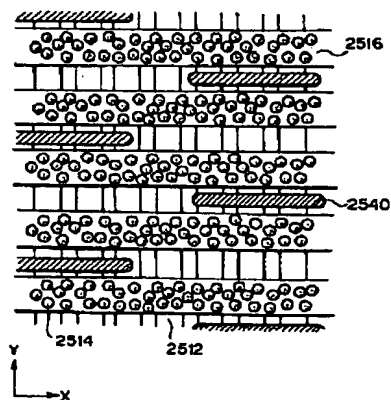
【図35】



(f-2)



【図38】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01J 31/12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.